Abschlussbericht

zum

BMBF-Verbundvorhaben

Leitbahnorientiertes Design
(Kurztitel: LEONIDAS+)

Projektlaufzeit: März 2005 – Februar 2007

Partner: Atmel Germany GmbH, Cadence Design Systems GmbH, Infineon Technologies AG, Institut für Mikroelektronische Systeme der Leibniz Universität Hannover, NXP Semiconductors Germany GmbH, Robert Bosch GmbH

Autoren:

Jürgen Köhne
(Atmel Germany GmbH)

Patrick Birrer
(Cadence Design Systems GmbH)

Harald Kinzelbach, Klaus Koch, Christiane Nippert, Irmtraud Rugen-Herzig, Patrick Wernicke
(Infineon Technologies AG)

Thomas Jambor, Ole-Hendrik Ohlendorf, Markus Olbrich, Min Zhang
(Leibniz Universität Hannover, Institut für Mikroelektronische Systeme)

Jürgen Schlöffel
(NXP Semiconductors Germany GmbH)

Hans-Ulrich Armbruster, Martin Frerichs, Tilman Neunhoeffer
(Qimonda AG)

Manfred Henning, Göran Jerke
(Robert Bosch GmbH)

Tudor Murgan, Petru Bacinschi
(TU Darmstadt)

Jens Lienig, Ammar Nassaj
(TU Dresden, Institut für Feinwerktechnik und Elektronik-Design)

Rainer Brück, Kai Hahn, Andre Schäfer
(Universität Siegen, Institut für Mikrosystemtechnik)

Das diesem Bericht zugrunde liegende Vorhaben wurde mit Mitteln des Bundesministeriums für Bildung und Forschung unter dem Förderkennzeichen 01 M 3074 gefördert. Die Verantwortung für den Inhalt dieser Veröffentlichung liegt bei den Autoren.

Inhalt

1 Allgemeines 3

1.1 Ziele, Aufgabenstellung 3

1.2 Ausgangssituation und Voraussetzungen, unter denen das Vorhaben durchgeführt wurde 4

1.3 Planung und Ablauf des Vorhabens 5

1.4 Wissenschaftlicher und technischer Stand, an den angeknüpft wurde 7

1.5 Zusammenarbeit mit anderen Stellen 9

2 Technische Ergebnisse 11

2.1 Arbeitspaket 1: Modellierung und Extraktion 11

2.2 Arbeitspaket 2: Constraints 40

2.3 Arbeitspaket 3: Entwurfsablauf und Werkzeuge 70

3 Weitere Aspekte 103

3.1 Voraussichtlicher Nutzen, Verwertbarkeit der Ergebnisse 103

3.2 Fortschritt bei anderen Stellen 105

3.3 Veröffentlichungen 106

3.4 Meilensteinberichte 109

1 Allgemeines

Durch die komplizierten Eigenschaften des Verbindungsnetzwerkes ergibt sich eine schwer beherrschbare Vielfalt von möglichen gegenseitigen Beeinflussungen, bei der jede einzelne das Versagen der Schaltung verursachen kann. Das Resultat kann eine Schaltung sein, die nicht funktionsfähig ist, obwohl alle aktuellen Entwurfsregeln korrekt berücksichtigt wurden. Die Folgen sind Redesigns und verzögerte Produkteinführungen. Damit wachsen die Kosten und schwinden die Gewinnchancen. Diese Problematik zeichnete sich bereits vor mehreren Jahren ab, wodurch sich der - insbesondere in der Automobil- und der Speicherindustrie dringend benötigte - leitbahnorientierte Entwurf zu einer zusätzlichen Kernkompetenz für den Systementwurf entwickelte.

Um den Herausforderungen zu begegnen, musste die erforderliche Entwurfskompetenz erst entwickelt werden. Allgemeine Lösungen „von der Stange“, wie sie von amerikanischen EDA-Firmen zum Teil entwickelt wurden, waren nicht ausreichend für deutsche leitbahnzentrierte Entwurfsmethoden, denn Deutschland hat Schwerpunkte bei anderen Anwendungen. Neben den Kompetenzen in der Automobilelektronik war hier auch das Know-how in den Bereichen DRAM-Technologie, Mobilkommunikation sowie Security und Video/Audio Broadcasting mit starken Mixed-Signal Anteilen entscheidend. Daher mussten für diese Anwendungen spezielle Tools und Methoden entwickelt werden.

Die Entwurfsfähigkeit ist Voraussetzung für die Verfügbarkeit spezifischer SoCs, die in eine zunehmende Anzahl von Produkten eingebaut werden. Diese Produkte haben unmittelbare volkswirtschaftliche Auswirkungen und sichern damit den Industriestandort und damit Arbeitsplätze..

Um in Deutschland die Kompetenz zum leitbahnorientierten Entwurf in den genannten Anwendungsbereichen aufzubauen, wurden durch das BMBF zwei Verbundvorhaben gefördert: LEONIDAS (April 2002 bis März 2004) und LEONIDAS+ (März 2005 bis Februar 2007). Der vorliegende Abschlussbericht dokumentiert die Ergebnisse des zweiten Projekts LEONIDAS+.

1.1 Ziele, Aufgabenstellung

Entscheidend war es, zu erkennen, dass die Leitbahneigenschaften nicht mehr „parasitäre“, also störende Effekte zweiter Ordnung sind, sondern die bestimmenden Entwurfsparameter aktueller SoCs darstellen. Sie sind zentraler Entwurfsgegenstand und müssen von Beginn an auf allen Abstraktionsebenen entworfen werden.

Ziel dieses Projekts war es, einen solchen leitbahnzentrierten Entwurf zu ermöglichen. Dazu mussten in LEONIDAS+ Schwerpunkte gebildet werden, da die gesamte Problematik den Rahmen des in diesem Projekt machbaren gesprengt hätte. LEONIDAS+ lieferte Basisarbeiten, die für die anderen Ekompass-Projekte eine wichtige Grundlage darstellen. Abb. 1.1-1 zeigt die Projektziele im Überblick. Es wurden Forschungsarbeiten durchgeführt, um neue Lösungen für die Extraktion, die Analyse und Modellierung der Leitbahneigenschaften für SoCs zu finden. Die Vorhersagbarkeit der physikalischen Eigenschaften eines SoC-Entwurfs wird damit bereits in einem sehr frühen Stadium mit hoher Genauigkeit gewährleistet. Bisher separate Entwurfsschritte können nun mit neuartigen Algorithmen simultan ablaufen, so dass ein fehlerfreier Erstentwurf erleichtert wird.

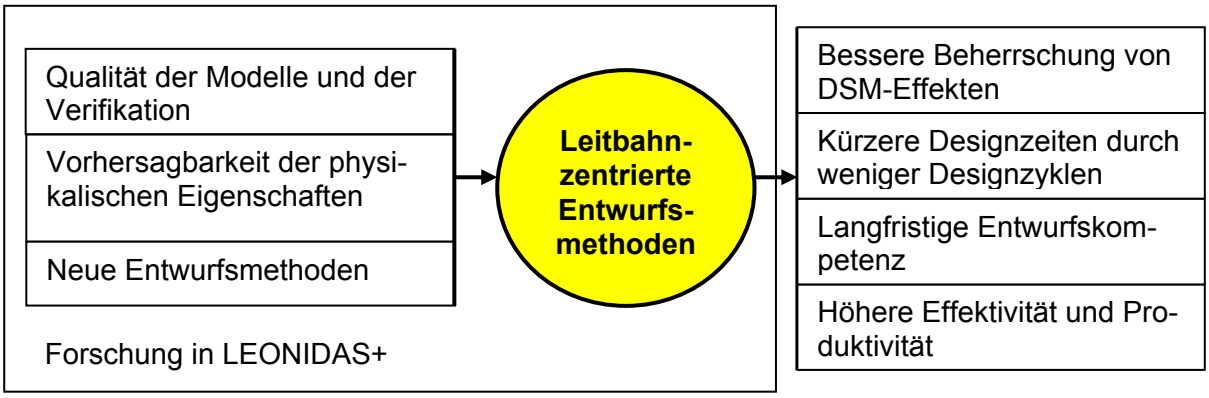


Abb. 1.1-1: Projektziele

1.2 Ausgangssituation und Voraussetzungen, unter denen das Vorhaben durchgeführt wurde

Bereits einige Jahre vor Projektstart war bekannt, dass die sich abzeichnenden Probleme durch Leitbahneigenschaften auch Auswirkungen auf die Entwurfsmethoden haben mussten. Auch in der ITRS Roadmap von 2003 [1], die die Entwicklungen im Bereich der Halbleiterentwicklung beschreibt, wurden als Herausforderungen für den Entwurf von Schaltungen in 65-nm-Technologien bis 2009 und darüber hinaus genannt:

- Wachsendes Missverhältnis von Leitbahn-Performance zu Bauteil-Performance
- Verbesserung der Vorhersagbarkeit von Leitbahnmodellen
- Beherrschung von Prozess-Schwankungen
- Vereinigung von Interconnect-Planning und Synthese
- Neue Leitbahn-Konzepte wie 3D-Technologien

Auch die zahlreichen Veröffentlichungen der letzten Jahre vor Projektbeginn bestätigten die Bedeutung der in LEONIDAS+ behandelten Themen. Sie zeigten aber auch, dass in diesem Gebiet noch Basisarbeiten zu leisten war. Diese durften nicht nur akademischer Natur sein wie vorher, sondern richteten sich an praktischen Anforderungen der Hersteller aus. Die gerade von kleineren Softwarefirmen in durchaus reichem Umfang angebotenen Werkzeuge wurden dem Bedarf der industriellen Praxis nur selten gerecht. Das vorhandene Angebot an EDA-Werkzeugen deckte den Bedarf der Industrie nicht ab. Außerdem blieben bei all diesen Aktivitäten die speziellen Probleme der europäischen und insbesondere der deutschen Halbleiterindustrie im Wesentlichen unberücksichtigt. Hersteller von Hochtechnologieprodukten waren deshalb weitgehend dazu übergegangen, entsprechende Entwurfswerkzeuge für den eigenen Gebrauch zu erforschen und zu entwickeln, die sie zur Beschreibung des realen Schaltungsverhaltens benötigten. Das LEONIDAS-Projekt [2] hatte hier bereits mit sehr großem Erfolg gezeigt, dass eine deutliche Verbesserung der Entwurfsmethoden erreicht werden konnte.

Im Bereich der Substratkopplung konnte LEONIDAS+ aufbauen auf den ergänzenden Arbeiten von SUBSAFE und ASDESE. In diesen Projekten waren Ergebnisse in Bezug auf die Kopplung durch Transistoren erarbeitet worden. Diese Ergebnisse mussten in LEONIDAS+ um die Kopplung von Leitungen mit dem Substrat vervollständigt werden.

[1] International Technology Roadmap for Semiconductors, 2003 Edition

[2] Frerichs et.al.: „LEONIDAS“, Abschlussbericht, 2003

Das Konsortium in LEONIDAS+ bestand aus folgenden Partnern:

- **Atmel Germany GmbH (Kurzform: Atmel)**
- **Robert Bosch GmbH (Kurzform: Bosch)**
- **Cadence Design Systems GmbH (Kurzform: Cadence)**
- **Institut für Mikroelektronische Systeme, Leibniz Universität Hannover (Kurzform: IMS)**
- **Infineon Technologies AG (Kurzform: Infineon)**
- **NXP Semiconductors Germany GmbH (Kurzform: NXP)**

Folgende Unterauftragnehmer unterstützten die Arbeiten:

- **Universität Siegen, Institut für Mikrosystemtechnik (Kurzform: SiegenIMT)**
- **TU-Dresden, Institut für Feinwerktechnik und Elektronik-Design (Kurzform: DresdenIFTE)**
- **TU Darmstadt, Fachgebiet Mikroelektronische Systeme (Kurzform: DarmstadtMS)**
- **Redemund & Thiede Datentechnik GmbH (Kurzform: RTG)**
- **Universität Ulm, Abteilung Allgemeine Elektrotechnik und Mikroelektronik (Kurzform: UlmAEM)**
- **Qimonda AG (ab Mai 2006 als Unterauftragnehmer von Infineon, nach der Ausgründung des Speicherbereichs)**

1.3 Planung und Ablauf des Vorhabens

Das Projekt war in drei Arbeitspakete (AP) untergliedert:

AP1:	Modellierung und Extraktion	(Leitung: M. Frerichs, Infineon/Qimonda))
AP2:	Constraints	(Leitung: M. Henning, Bosch)
AP3:	Entwurfsablauf und -werkzeuge	(Leitung: J. Schlöffel, NXP)

Die Arbeitspakete waren in jeweils zwei Aufgaben weiter untergliedert. Diese Aufgaben wurden in Form von Beiträgen der einzelnen Partner bearbeitet. Die Projektstruktur und die einzelnen Beiträge zeigt die Übersicht in Tab. 1.2-1.

AP	Aufgabe	Beitrag	Partner (UA)
AP1 Modellierung und Extraktion	A1.1 Crosstalk	B1.1.1 Vermeidung der Einkopplung leitungsgebundener Störeinflüsse	Bosch
		B1.1.2 Metrik für die Wahrscheinlichkeit von Crosstalk-Effekten/Referenzsimulation von kritischen Pfaden und Netzen unter Berücksichtigung von Crosstalk	Infineon (DarmstadtMS)
		B1.1.3 Analyse-gesteuerte Extraktion und Modellierung von Leitbahnen	Infineon (Qimonda)
	A1.2 Prozess-variation	B1.2.1 Silicon-View-basierte Extraktion und stochastische Prozessvariationen bei der Simulation	Infineon (Qimonda)
		B1.2.2 Untersuchung von Prozessvariationen bei Leitungen	IMS
AP2 Constraints	A2.1 Constraint Management	B2.1.1. Constraints für Analoglayout	Bosch
		B2.1.2. Entwicklung von dynamischen IR-Drop-Analysemethoden zur optimalen Platzierung von Stützkondensatoren	Infineon
		B2.1.3. Integriertes Constraint-Management-System für den Full-Custom-Entwurfsablauf	Infineon
	A2.2 Constraint-Umsetzung	B2.2.1 Parasitensymmetrisches Routing und Constraint-Verifikation	Atmel
		B2.2.2 Constraint-Umsetzung im Analoglayout	Bosch (DresdenIFTE) (SiegenIMT)
		B2.2.3 Multi-Constrained-Busrouting	IMS
AP3 Entwurfs-ablauf und -werkzeuge	A3.1 Interconnect Centric Design Tools	B3.1.1 Timing-Driven-3D-Platzierung	IMS
		B3.1.2 Timing-Closure durch simultane Werkzeuge	IMS
		B3.1.3 Timing-Aware-TPI von DfT-Verdrahtungen	NXP (RTG)
	A3.2 Flow, Methodik	B3.2.1 Mixed-Signal-Designflow unter Verdrahtungsaspekten für Broadcast-Media-Applications	Atmel (UlmAEM)
		B3.2.2 DfT-Flow und Interfaces für Timing-Aware-TPI	NXP (RTG)
		B3.2.3 Erweiterte Möglichkeiten zur Leitbahnextraktion im Designflow	Cadence

Tab. 1.2-1: Projektstruktur und Beiträge

Die Projektergebnisse wurden in den Meilensteinberichten detailliert dokumentiert und zwischen den Projektpartnern ausgetauscht. Dabei wurden die Zeitpläne bis auf kleine Verzögerungen weitgehend eingehalten.

Regelmäßige Treffen der Partner auf AP- und Projektebene stellten die Zusammenarbeit innerhalb des Projektes her. Auch zwischen einzelnen Partnern fand eine Fülle von Treffen zu verschiedenen Themen, wie dem Constraint-Management, der parasitensymmetrischen Verdrahtung und der Behandlung von Variationseffekten statt. Darüber hinaus beteiligte sich LEONIDAS+ aktiv an Kooperationstreffen und -workshops mit anderen Ekompass-Projekten.

Hier haben sich neue Kooperationen in Zusammenarbeit mit den Projekten DETAILS und LEMOS ergeben, die zu einem Change-Request im Projekt DETAILS geführt haben. Außerdem konnte eine in DETAILS entwickelte Schnittstelle zu einem 3D-Solver in LEONIDAS+ genutzt werden, um über das geplante Maß hinausgehende Lösungen zu finden.

Wegen der Umbenennung der Philips Semiconductor GmbH in NXP und der Ausgliederung der Memory-Products-Abteilung von Infineon zu Qimonda waren zur Laufzeit des Projektes formale Änderungen erforderlich, die sich nicht auf die Inhalte auswirkten. Inhaltliche Änderungen ergaben sich im Verlauf des Projektes durch die Ankündigung eines kommerziellen Constraint-Management-Systems der Firma Cadence. Die Inhalte der Beiträge 2.1.1 und 2.1.3 wurden daher angepasst. In Beitrag 2.1.2 wurden die Arbeiten aufgrund neu verfügbar gewordener kommerzieller Lösungen zur Platzierung von Filler-Zellen verändert. Die Gesamtprojektziele waren durch keine dieser Änderungen betroffen.

1.4 Wissenschaftlicher und technischer Stand, an den angeknüpft wurde

In den folgenden Abschnitten werden die Ausgangspunkte dargestellt, von denen ausgehend die einzelnen Themenschwerpunkte von LEONIDAS+ ihre Arbeit gestartet haben.

1.4.1 Modellierung und Extraktion

Wird ein Design mit parasitären Elementen extrahiert, so steigt die Komplexität der entstehenden Netzliste enorm an. Dadurch entstehen große Probleme bei der Verarbeitung dieser Netzlisten im Simulator. Vor Beginn von LEONIDAS+ existierten verschiedene Ansätze, um das Problem anzugehen. Bereits benutzt wurde die Reduktion der Netzlisten durch geeignete Methoden (z.B. „model order reduction“ oder die in PRED von Infineon verwendeten heuristischen Methoden aus dem PARASITICS-Projekt). In LEONIDAS wurden Grundlagen erforscht, um die Extraktion mit Hilfe der Ergebnisse einer Sensitivitätsanalyse zu steuern. Dort lag der Fokus auf der Bestimmung des Einflusses von Induktivitäten auf das Schaltungsdesign. Innerhalb von LEONIDAS konnten auch neue Verfahren zur Berücksichtigung der induktiven Leitbahnparasiten bereitgestellt und vor allem verifiziert werden. Besonderes Augenmerk lag dabei auf der Bereitstellung der verbesserten Extraktionsmöglichkeiten innerhalb eines kommerziellen Entwurfsflows bzw. des Design-Kits der verwendeten Prozesstechnologie. Die Ergebnisse der Sensitivitätsanalyse und der Induktivitätsextraktion wurden erst in LEONIDAS+ im Hinblick auf die Reduktion der extrahierten Netzlisten erfolgreich verwendet.

Vor Projektbeginn wurden statische Methoden zur Crosstalk-Analyse verwendet. Die Qualifikation dieser Methoden auf breiter Basis war aber ein noch ungelöstes Problem. Eine hochgenaue Referenz ließ sich nur über dynamische Simulation auf Transistor-Ebene erzeugen. Einen ersten Ansatz dazu hatte die Firma Nassda mit ihrem Werkzeug HANEX geliefert, das statische und dynamische Methoden gemischt verwendete. Zur Erzeugung von Referenzwerten für Crosstalk war es aber dennoch nicht geeignet, da dort grobe Näherungen zur Bestimmung der Signal-Phasenlagen verwendet wurden. Die genauen Signal-Phasenlagen konnten nur durch iterative dynamische Verfahren bestimmt werden. Dafür war kein Werkzeug auf dem EDA-Markt erhältlich.

Die Charakteristik von Leitbahnen wurde im Projekt LEONIDAS bisher für Lasten untersucht, die in der HF-Messtechnik typisch sind. Diese Analysen beschränkten sich auf Kleinsignaluntersuchungen. In LEONIDAS+ wurde nun der wichtige Schritt zum Großsignalverhalten bei unterschiedlichen Lasten unternommen. Über eine solche auf Simulation basierende Störuntersuchung von Leitbahnen, an denen entsprechende aktive Elemente bis hin zu Schaltungsblöcken den Abschluss bilden, wurde vorher nicht berichtet. Diese Schaltungsblöcke injizieren (teilweise), insbesondere unter automotive-typischen Bedingungen, direkt Strom in das Substrat, das, je nach Layout, die Funktion einer zusätzlichen (meist störenden) ‚Leitbahn‘ übernehmen kann. Diese Effekte wurden in LEONIDAS+ ebenfalls berücksichtigt.

Es gab bereits kommerzielle Tools, die den schlechtesten Fall (Worstcase) von Crosstalk-Effekten berechnen. Man sollte damit angeben können, ob ein gegebener Chip in seiner

Funktion durch Crosstalk so gestört sein kann, dass seine Funktionalität nicht mehr gewährleistet ist. Seit solche Tools in der industriellen Praxis eingesetzt wurden, sahen sich die Designer aber mit einer schier unlösbaren Aufgabe konfrontiert. Typischerweise wurden hunderte oder gar tausende von Schaltpfaden als kritisch oder verletzt gemeldet. Leider wurde die ungeheure Anzahl möglicher Risiken von diesen Werkzeugen nicht näher untersucht. Sie konnten auch nicht alle oder nur unter großem Aufwand korrigiert werden, um nicht eine verzögerte Produktfertigstellung zu riskieren. Eine Sortierung und Quantifizierung der einzelnen Zeitverletzungen nach ihrer Schwere und Wahrscheinlichkeit war leider nicht verfügbar. Erschwerend kam hinzu, dass das Ausmaß der möglichen Verletzungen sehr stark gegenüber kleinen Veränderungen physikalischer Parameter schwankt, was die zuvor berechneten Worstcase-Szenarien praktisch nie in der Form auftreten lässt.

IBM verfügte mit EinsTimer über ein Tool, das die Wahrscheinlichkeit der Funktionsfähigkeit eines Chips („functional yield“) angeben konnte. Soweit bekannt, berücksichtigte es aber keine Crosstalk-Probleme, sondern lediglich Prozess-, Spannungs- und Temperaturvariationen.

In der Literatur gut studiert war der Umstand, dass technologiebedingt die lokal vorherrschende Belegungsdichte der Metallbahnen einen Einfluss auf die Dicke der Dielektrika hat. Effekte dieser Art konnten in kommerziellen Extraktionswerkzeugen explizit berücksichtigt werden. Von komplizierterer Natur und weniger gut studiert waren aber beispielsweise Abweichungen, die auf unvermeidlichen optischen Abbildungsfehlern beruhen. Folge ist, dass die Form der Leitbahnen auf dem Silizium mehr oder weniger stark vom ursprünglichen Entwurf abweichen und als Folge davon auch abweichende elektrische Eigenschaften aufweisen. Neben solchen systematischen Veränderungen finden sich schließlich auch unvermeidbare Zufallsvariationen der relevanten Leitbahnparameter (wie beispielsweise der Dicke der Dielektrika und Metall-Lagen oder der Leitbahnweiten) die entsprechend statistische behandelt werden müssen.

1.4.2 Constraints

Vor Beginn von LEONIDAS+ wurde in der Regel eine statische IR-Drop-Lösung als Teil des Sign-offs entwickelt. Hier lagen im Bereich der Full-Chip-Simulation des statischen IR-Drops entsprechende Erfahrungen vor, die sowohl bei der Analyse von Analog-Mixed-Signal-Blöcken als auch bei großen Digitaldesigns eingesetzt wurden. Dieser Flow hatte sich bei der Verifikation der Versorgungsnetzwerke der Chips bewährt. Im Rahmen von LEONIDAS wurde eine dynamische IR-Drop-Simulation großer Analog-Mixed-Signal-Blöcke entwickelt. Hierzu wurden kommerzielle FastMOS-Simulatoren eingesetzt. Leider wurden mit diesen Werkzeugen keine entsprechenden Extraktionslösungen mit Backannotierung berücksichtigt, obwohl sie zwingend notwendig wären. Dieses Problem hatte in den letzten Jahren vor LEONIDAS+ im akademischen Bereich mit dem Vordringen in den Nanometer-Bereich erhöhte Aufmerksamkeit erhalten, Ergebnisse aber industriell nicht umgesetzt worden waren, so dass zu Beginn von LEONIDAS+ keine kommerziellen Lösungen verfügbar waren.

Zur Verifikation von strombezogenen Layout-Constraints (Stromdichten in Schaltungslayouts) gab es vor Projetbeginn Arbeiten von Bosch,. Weitergehende Constraint-Verifikationsverfahren waren nicht bekannt, da Constraints im Layoutbereich zuvor im Wesentlichen zur Steuerung von Tools zur automatischen Generierung von Layout angewendet wurden, wobei die korrekte Einhaltung der Constraints vorausgesetzt wurde. Zur Erhöhung der Entwurfssicherheit und Steigerung der Entwurfsqualität war jedoch eine Überprüfung der relevanten Constraints erforderlich. Dafür war kein kommerzieller Ansatz bekannt.

Kommerzielle Werkzeuge zur Verdrahtung waren zu Projektbeginn nicht in der Lage, spezielle Verbindungen zu erzeugen, die Constraints in Bezug auf Parasitensymmetrie oder Strombelastung erfüllen. Insbesondere wurde die automatische Erzeugung von Ausgleichsgeometrien für symmetrische parasitäre Kapazitäten und Induktivitäten von Bussignalen bei der Verdrahtung nicht von kommerziellen Werkzeugen unterstützt. Auch waren dazu keine Veröffentlichungen in der wissenschaftlichen Literatur erschienen. Es war zwar möglich,

durch automatisches Shielding die Gesamtkoppelkapazität zu störenden Leitbahnen gering zu halten. Von Bedeutung sind in vielen Anwendungen aber vielmehr die Differenzen zwischen den Leitbahnen des Busses, die nach damaligem Stand nicht ermittelt werden konnten.

1.4.3 Entwurfsablauf und -werkzeuge

Zur Dimensionierung von Leitbahnen für automobile Anwendungen wurde in LEONIDAS ein Werkzeug entwickelt, das die Mindestbreite einer Leitbahn in Abhängigkeit von Strom, Temperatur, Lebensdauer und Ausfallrate berechnet. Dabei wurde nur der DC-Fall betrachtet, Arbeiten zum AC-Fall und zur Behandlung von Stromimpulsen fehlten. Lösungen anderer Anbieter zur erweiterten Problematik waren ebenfalls nicht bekannt.

Um die notwendige Verdrahtungsoptimierung und das Einfügen von Testpunkten unter Berücksichtigung von DfT-Constraints (für Timing, Layout und Skew) automatisiert durchzuführen und eine optimierte Verarbeitung von scanbaren Netzlisten zu ermöglichen, gab es kein kommerzielles Tool.

In LEONIDAS wurde ein viel versprechender Ansatz zur simultanen Globalplatzierung und -verdrahtung entwickelt. Es fehlte der Schritt der Detailplatzierung und -verdrahtung, um zu einem hochwertigen Layout zu kommen, durch das die Timing-Constraints unter gegebenen Randbedingungen garantiert eingehalten werden.

Die vertikale Dimension beeinflusste aufgrund der übereinander liegenden Metalllagen für die Verdrahtung schon lange die Herstellung von integrierten Schaltungen. Die aktiven Bauelemente waren jedoch in herkömmlichen Schaltungen auf einer einzigen Ebene angeordnet. Technologien, die mehrere Ebenen aktiver Elemente ermöglichen, wurden seit 1979 untersucht, blieben allerdings lange ohne praktische Anwendung. Erst der wachsende Einfluss von Leitbahnverzögerungen bewirkte verstärkte Forschungsarbeit auf diesem Gebiet. Zu Projektbeginn gab es hauptsächlich zwei Ansätze für die vertikale Integration. Einerseits waren es Strategien, die auf SOI (Silicon-On-Insulator)-Technologien basieren, bei denen mehrere Ebenen von Dünnfilm-Transistoren als aktive Elemente gebildet wurden. Andererseits handelte es sich um Technologien, die zunächst einen Wafer für jede Ebene aktiver Elemente prozessieren und anschließend mit anisotropem Ätzen und speziellen Bonding-Verfahren die vertikalen Verbindungen („inter level vias“) ausbilden. Aktuelle 3D-Technologien ähneln der zuletzt genannten Variante, für die die in LEONIDAS+ entwickelten Tools geeignet sind.

Zur Platzierung von Zellen in 3D-Modulen bestanden zwar erste Ansätze. Diese verwendeten aber traditionelle Kostenfunktionen, wie die Gesamtverdrahtungslänge. Es gab kein Tool, das die Platzierung von Elementen unter Berücksichtigung fest vorgegebener Timing-Constraints vornimmt. Im Rahmen einer neuen leitbahnzentrierten Entwurfsmethodik war es daher erforderlich, hier neue Wege zu gehen.

Bei aktuellen Entwurfswerkzeugen wurden die Leitbahneigenschaften in nur unzureichender Weise berücksichtigt, weil ein ausreichend genaues Leitbahnmodell bisher erst nach der Fertigstellung des Schaltungslayouts ermittelt werden konnte. Die Berücksichtigung von Leitungseigenschaften erfolgte daher zumeist durch eine Post-Layout-Verifikation. Dadurch waren in der Regel mehrere Iterationen zwischen Synthese und Layout notwendig.

1.5 Zusammenarbeit mit anderen Stellen

Seitens LEONIDAS+ wurde mit anderen Ekompass- bzw. MEDEA+-Projekten zusammengearbeitet, um dadurch weitere Applikationen zu erschließen bzw. durch die Kontakte im nationalen und internationalen Umfeld weitere Anregungen zu erhalten. Es wurden damit Kooperationen weitergeführt, die schon mit LEONIDAS begonnen wurden.

Projekt **ANASTASIA+**: ANASTASIA+ war ein MEDEA+-Projekt. Den Partnern in ANASTASIA+ wurden zum Teil die Ergebnisse zu den Arbeiten aus dem Bereich Layoutent-

wurf und Constraint-Handling zugänglich gemacht. Sie konnten in der 2. Projektphase von ANASTASIA+ in die dort entwickelte Top-Down-Entwurfsmethodik für Analog/Mixed-Signal-Schaltungen einfließen.

Projekt **DETAILS**: Gegenstand dieses Projektes war der Entwurf funkbasierter Hochgeschwindigkeits-Datenübertragungssysteme. Die Einbettung eines HF-Front-Ends innerhalb des Gesamtsystems stellte in diesem Zusammenhang ein Forschungsthema dar. Da die Leitungseigenschaften gerade unter HF-Gesichtspunkten von besonderer Bedeutung sind, fand ein Ergebnisaustausch zwischen LEONIDAS+ und DETAILS statt, der sich als besonders fruchtbar herausgestellt hat.

Projekt **LEMOS**: Das BMBF-Verbundvorhaben „Low-Power-Entwurfsmethoden“ (LEMOS) erarbeitete Verfahren zur Verringerung der Verlustleistung integrierter Systeme. Die Verlustleistung hängt u.a. maßgeblich von den Interconnect-Eigenschaften ab. Daher gab es Kooperationen zwischen den Projekten, die auf Kooperationsworkshops und weiteren gemeinsamen Treffen erarbeitet wurden.

Hervorzuheben sind die Kooperationen mit DETAILS und LEMOS: Die Firmen Nokia (in den Projekten DETAILS und LEMOS) sowie Cadence (LEONIDAS+) erarbeiteten hier neue Lösungen, die ohne die Kooperation nicht möglich gewesen wären. Dadurch konnten im Beitrag B3.2.3, „Erweiterte Möglichkeiten zur Leitbahnextraktion im Designflow“ über die ursprüngliche Planung hinausgehende Ergebnisse erzielt werden.

2 Technische Ergebnisse

In diesem Kapitel werden die technischen Ergebnisse der in den einzelnen Arbeitspaketen bearbeiteten Beiträge dargestellt.

2.1 Arbeitspaket 1: Modellierung und Extraktion

In diesem Arbeitspaket wurden die Schwerpunkte Crosstalk und Prozessvariationen behandelt.

Zum Thema Crosstalk wurde zunächst die Frage untersucht, inwieweit Überkopplungen zwischen Verdrahtungsleitungen, die durch parasitäre Substrat-NPN-Transistoren in Smart-Power IC-Schaltungen verursacht werden, durch eine Designanalyse bereits erkannt und durch eine Korrektur des Layouts vermieden werden können. Hierzu wurden Designregeln erarbeitet und messtechnisch verifiziert, die vom Layout der zu entwickelnden Schaltung eingehalten werden müssen, um die korrekte Funktion sicherzustellen. Zur Überprüfung dieser Regeln wurde eine Checkroutine entwickelt, die in der DFII-Designumgebung abläuft, so dass gefundene Problemstellen noch vor Fertigstellung des Designs behoben werden können.

Speziell in der Automobiltechnik ist die Berücksichtigung von unvermeidbaren kapazitiven Leitungskopplungen für sicherheitskritische Anwendungen unerlässlich. Hierzu wurden Methoden entwickelt, die es ermöglichen, realistische Abschätzungen des Worst Case Crosstalk zu finden und die Wahrscheinlichkeit des Auftretens der so ermittelten Crosstalk-Werte abzuschätzen. Darüber hinaus wurde eine neue Methode entwickelt, die es ermöglicht, unmöglichen Crosstalk (False Noise) auch für eine größere Anzahl von Aggressoren in kürzerer Zeit zu detektieren und damit von der weiteren Analyse und Optimierung auszuschließen. Zur Absicherung der entwickelten Methoden wurden Test- und Mess-Schaltungen entwickelt, um Crosstalk zu provozieren und auszumessen. Hierbei wurde besonderer Wert auf die Genauigkeit der Messung und Toleranz gegenüber Prozess-Schwankungen gelegt.

Durch die Vielzahl der Leitbahnen und damit der möglichen Kopplungen zwischen ihnen werden Netzlisten mit extrahierten parasitären Elementen für heutige und erst recht zukünftige Schaltungen sehr umfangreich, wenn mit ihnen zum Beispiel Crosstalk analysiert werden soll. Es wurden zwei verschiedene Verfahren zur Reduzierung dieser Komplexität bei der Extraktion entwickelt, die sich die Kenntnis der späteren Analysen zu Nutze machen, um einen guten Vereinfachungsgrad zu erzielen. Der besondere Nutzen der erzielten Methoden liegt darin, dass auch auf Basis der reduzierten Netzlisten die Analysen ohne Genauigkeitseinbussen durchgeführt werden können.

Die Arbeiten zum Schwerpunkt Prozessvariationen beschäftigen sich mit der Problematik der unvermeidbaren Schwankungen während des Herstellungsprozesses. Diese machen sich aufgrund immer kleiner werdenden Strukturgrößen und zunehmender Schaltungskomplexität zunehmend als Störeffekte bemerkbar, wobei hier die Variationen der Leitbahneigenschaften im Vordergrund stehen.

Aufbauend auf Resultaten des LEONIDAS-Projekts, in der der Einfluss solcher Schwankungen auf zweidimensionale Leitbahnmodelle untersucht wurde, entstand ein neuer Layout-Extraktionsflow zur Bestimmung von Interconnect-Schwankungen aus einem gegebenen „realen“ Layout. Die extrahierte Netzliste enthält alle Informationen für (spice Analog-Monte Carlo-) Simulationen, um den Einfluss der Interconnect-Variationen zu ermitteln.

Es wurden unterstützend zwei Verfahren entwickelt, die eine drastische Beschleunigung der Monte Carlo-Simulationen erlauben und praktisch so erst in nennenswertem Umfang ermöglichen. Des Weiteren wurde ein 3-D Modellierungsflow zur Bestimmung von Kapazitäten so erweitert, dass Prozess-Schwankungen berücksichtigt werden können. Dies erlaubt für Referenzrechnungen eine sehr genaue Berechnung der Kapazitäten unter Einbezug der Interconnect-Variationen.

2.1.1 Beitrag 1.1.1: Vermeidung von Einkopplungen leitungsgebundener Störungen (Bosch)

In Smart-Power IC-Prozessen werden Ldmos oder Vdmos-Transistoren als Endstufen benutzt, die Ströme bis zu mehreren Ampere schalten können. Diese Endstufen sind zusammen mit Logik (CMOS) und Bipolartransistoren in einem gemeinsamen p-Substrat realisiert. Bei Automotive-Anwendungen treiben solche Endstufen zudem in der Regel auch induktive Lasten, wie z.B. die Wicklung eines externen Elektromotors.

In der Regel wird dabei eine sog. H-Brückenkonfiguration benutzt die aus 2 Dmos-Transistoren L1/L2 als low-side Schalter und 2 Transistoren H1/H2 als high-side Schalter besteht (siehe Abb. 2.1.1-1).

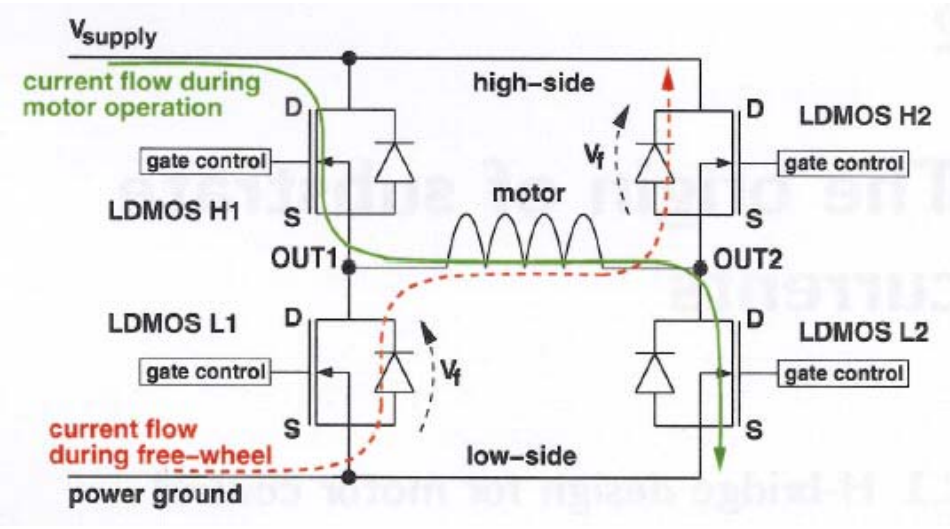


Abb. 2.1.1-1: Ldmos-Transistoren in H-Brückenkonfiguration mit Ldmos-Transistoren H1 und H2 als high-side Schalter und Ldmos L1, L2 als low-side Schalter. In der Abschaltphase fließt der Strom über die Drain-/ Substratdiode des low-side Schalters L1. Aufgrund der Selbstinduktion kann der Drain von L1 unter das Substratpotential abtauchen. (Bild aus [1])

Die induktive Last wird stets getaktet betrieben, mit der Folge, dass mit dem Abschalten des high-side Transistors H1 der low-side Transistor L2 aufgrund der Selbstinduktivität der Spule (*U=-L*dI/dt*) sowie das Drain des low-side Transistors L1 unter das Massepotential (=Substratpotential) abtaucht. Die n-Wanne des Drains des low-side-Transistors stellt somit den Emitter eines parasitären NPN-Transistors dar, der Minoritätsladungsträger (=Elektronen) in das Substrat (=Basis) injiziert. Alle anderen n-Wannen benachbarter Bauelemente agieren als Teilkollektoren dieses parasitären NPN-Transistors. Aufgrund des parasitären NPN-Transistors kann es somit zu einer Überkopplung zwischen der an dem Aggressor angeschlossen Verdrahtungsleitung und mehreren, mit benachbarten n-Wannen elektrisch verbundenen Verdrahtungsleitungen kommen. Die Funktion verschiedener Schaltungsblöcke, z.B. bei empfindlichen Eingangsstufen, kann durch diese Überkopplung stark gefährdet werden. Aus diesem Grund muss der negative Einfluss von parasitären NPN-Transistoren auf die Schaltungsfunktion im Layout durch Verifikation und ggf. Layoutanpassungen verhindert werden.

Stand der Technik

Auf dem Markt ist derzeit kein EDA-Werkzeug bekannt, mit dem die oben genannte Verifikationsaufgabe durchgeführt werden kann. Innerhalb des Förderprojektes wurde daher eine Methode entwickelt, mit der durch Verwendung vorhandener EDA-Werkzeuge das Auftreten von parasitären NPN-Transistoren im IC-Layout verifiziert werden kann.

Problembeschreibung

Da die Eigenschaften der parasitären Transistoren stark von der Technologie abhängig sind, wurden zuerst die Parasiten charakterisiert. Diese Charakterisierung der Parasiten wurde anhand von speziellen Teststrukturen durchgeführt, dem so genannten Substratmonitor (Layout siehe Abb. 2.1.1-2):

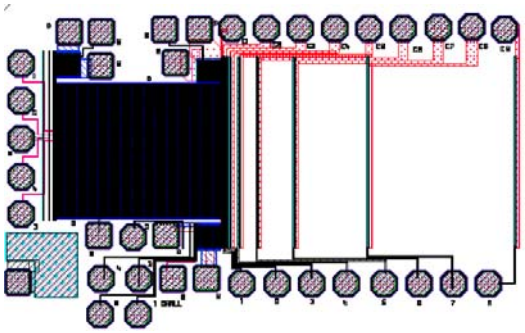


Abb. 2.1.1-2: Layout der verwendeten Teststruktur. Links ist ein großer Ldmos Transistor als Emitter gezeichnet, auf der rechten Seite mehrere n-Wannen als Kollektoren in verschiedenen Abständen.

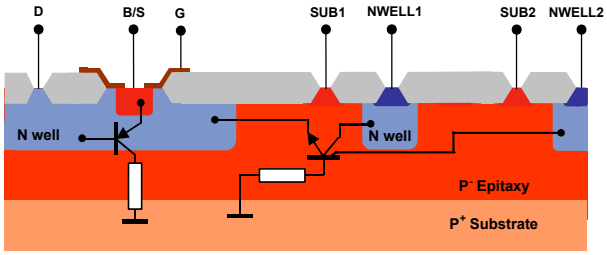


Abb. 2.1.1-3: Schnittbild des parasitären NPN-Transistors (nicht maßstabsgerecht). N-Well des Dmos-Transistors stellt den Emitter dar, NWELL1, NWELL2,… die (Teil)Kollektoren. Zusätzlich ist noch der parasitäre pnp-Transistor des Dmos eingezeichnet (bulk/nwell/Substrat), der hier jedoch nicht weiter betrachtet werden soll.

Abb. 2.1.1-2 zeigt mehrere als Emitter dienende Ldmos-Transistoren, eine Powerstruktur mit 0.4 mm^2 Fläche (typische Größe einer Endstufe) sowie einen kleinen Ldmos-Transistor. Als Basis dient das p-Substrat, das sowohl durch einen großen Substratkontakt als auch über die Rückseite angeschlossen werden kann.

Um die Abhängigkeit der Parasiten von der Basisweite zu messen, sind in unterschiedlichen Abständen n-Wannen als Kollektoren realisiert. (Schnittbild, Abb. 2.1.1-3) Die minimale Basisweite wird durch die Designregeln des Prozesses definiert, bei den weiteren Kollektoren wird der Abstand immer mehr vergrößert. Bei diesen Kollektoren sind noch Substratkontakte realisiert, mit denen das Substratpotential gemessen werden kann. Die relevante Messgröße ist der Transferkoeffizient α = *Ic* / *Ie*. (*Ic*: Strom aus dem Kollektor; *Ie*: in den Emitter injizierter Strom). Eine weitere wichtige Größe ist die Stromverstärkung β = *Ic* / *Ib* (*Ib*: Basisstrom = Strom ins Substrat). Mit Hilfe der Relation *Ic* = *Ie* + *Ib* kann α in β umgerechnet werden.

Der Transferkoeffizient α hängt von vielen Faktoren ab, die aufgrund ihrer Komplexität nicht alle bei der Implementierung des Verifikationstools berücksichtigt werden können. Es wurden daher folgende Vereinfachungen getroffen:

- Temperatur: die dem Verifikationstool zugrunde liegenden Parameter wurden nur bei der Worst-Case-Temperatur von *T*=175°C gemessen. Bei dieser Temperatur ist α maximal.
- Substratkontakt: die Lage des Substratkontaktes beeinflusst über den Basisbahnwiderstand indirekt die Stromverstärkung β. Bei der vorliegenden Charakterisierung wird das hochdotierte p+ Substrat von der Rückseite angeschlossen. Somit ist der Parasit optimal angebunden, was den worst-case darstellt.
- Es wird nur eine Emittergeometrie berücksichtigt (A $\approx$ 0.4mm^2), da dies typischen Anwendungen entspricht.
- Bei den Messungen wird von einem Kollektor als schmaler Streifen ausgegangen. Nicht berücksichtigt wird die Geometrie der Kollektorwanne.

- Es werden keine transienten Effekte berücksichtigt, alle durchgeführten Messungen sind DC.
- Eine weitere Vereinfachung besteht darin, dass die Interaktion der Kollektor-Wannen nicht berücksichtigt wird (mehrere Kollektorwannen auf dem IC vorhanden). Dies bedeutet, dass der an einem Kollektor ankommende Strom $Ic = \alpha * Ie$ überschätzt wird, da ein Teil des Stroms über andere Wannen schon abgesaugt wird. Insbesondere werden keine Barrieren berücksichtigt (Barriere: n-Wannen als Saugwanne, die vor einem empfindlichen Schaltungsteil als Sammelwanne für Elektronen realisiert wird, ohne eine sonstige Schaltungsfunktion zu erfüllen).

Aus diesen Vereinfachungen folgt, dass die Genauigkeit des Verifikationstools begrenzt ist und wahrscheinlich höchstens im Bereich einer Größenordnung liegt, was aber für spätere praktische Anwendungen vernachlässigbar ist, da mit dem vorgestellten Verfahren alle kritischen NPN-Substrattransistoren sicher erkannt werden können.

Modell

Zur Verwendung in einem Verifikationswerkzeug wird der gemessene Transferkoeffizient α parametrisiert. Da die Messung bei diskreten Abständen *x* durchgeführt wurde und in einem begrenzten Bereich des *Ie* gemessen wurde, wird aus den Messungen ein Fitmodell $\alpha(x,Ie)$ gebildet.

Der in das p-Substrat injizierte Strom wird vom Schaltungsentwickler vorgegeben, ebenso wird der Emitter des NPN-Transistors im Layout identifiziert. Die Checkroutine bestimmt dann den Abstand *x* vom Emitter zur Kollektorwanne, bestimmt den Kollektorstrom $Ic=\alpha(x,Ie)*Ie$ und bewertet, ob dieser Kollektorstrom über einem Schwellwert liegt. Ist dies der Fall, so soll die entsprechende Kollektorwanne im Layout als potentieller Fehlerfall markiert werden.

Die Störung einer benachbarten Leitung ist im Fall der vorliegenden Technologie abhängig von der Temperatur, dem injizierten Emitterstrom, dem Abstand von Störer (=Emitter) und Opfer (=Kollektor). Der beim Kollektor ankommende Störstrom *Ic* ist dabei proportional zum Emitterstrom *Ie* und abhängig von dem Störer-Opfer Abstand *x*:

$$Ic = \alpha(x,Ie) * Ie.$$

Der Stromtransmissionskoeffizient $\alpha(x,Ie)$ wurde anhand von Messungen der Stromverstärkung $\beta(x,Ie)$ von parasitären Transistoren an speziellen Teststrukturen bestimmt. Da nicht alle in den Transmissionskoeffizienten $\alpha(x,Ie)$ eingehenden physikalischen Parameter berücksichtigt werden können (z.B. Temperatur, Emittergröße etc.), wurde der Transmissionskoeffizient bei worst-case Betriebsbedingungen experimentell bestimmt.

Die Stromverstärkung des parasitären NPN-Transistors β lässt sich leicht in den Transmissionskoeffizienten α umrechnen:

$$\alpha = (\beta / (1+\beta))$$

Die Messwerte der gemessenen Stromverstärkung $\beta(x,Ie)$ mit

$$\beta(x,Ie) = \beta_0(x) / (1+ Ie / Ic)) + Offset(x)$$

wurden anschließend gefittet (siehe Abb. 2.1.1-4 und Abb. 2.1.1-5). Die dabei abgeleitete doppellogarithmische Fitfunktion wurde in die Checkroutine implementiert:

$$\beta(x,Ie)=(A0*\exp(A1*x)+A2*\exp(A3*x))/(1+Ie/Ic)+A4*(\exp(A5*x)+A6*\exp(A7*x))$$

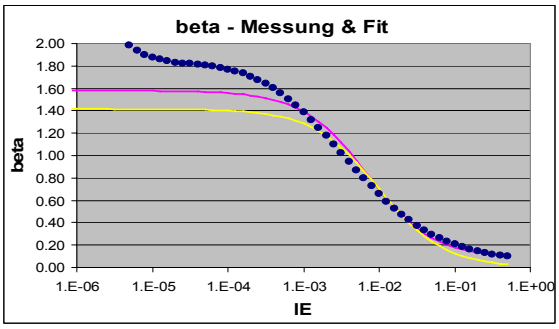


Abb. 2.1.1-4: Stromverstärkung $\beta = f(Ie)$ für eine Teststruktur. Dargestellt ist die Messung (blaue Punkte) sowie 2 Fits (Hochstrominjektionsmodell: gelb; Hochstrominjektionsmodell + Offset:violett)

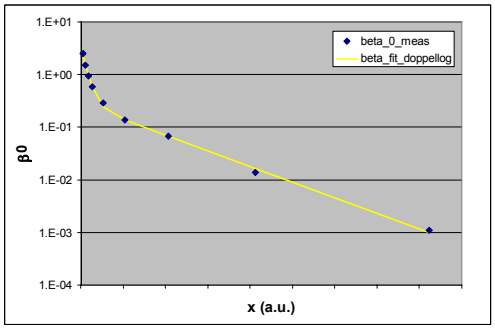


Abb. 2.1.1-5: Fit des Vorfaktors $\beta_0(x)$. (blau : Messung, gelb : doppellogarithmischer Fit

Checkroutine

Zur Detektierung möglicher Gefährdungsgebiete im Layout wurde eine Checkroutine implementiert, die das Layout auf das Vorhandensein möglicher parasitärer NPN-Transistoren hin untersucht. Für die Verifikation muss der Strom, den jede n-Wanne im Abstand *x* als Störstrom am Kollektor aufnimmt, zunächst berechnet werden. Anschließend wird bewertet ob der extrahierte Störstrom funktionskritisch ist. Durch Identifikation der gefährdeten Kollektoren kann der Layout- oder Schaltungsentwickler anschließend geeignete Maßnahmen ergreifen, die die Substratüberkopplung auf andere Leitungen reduzieren (z.B. den Abstand *x* der gefährdeten Kollektoren vom Emitter erhöhen).

Zuerst wird eine Liste mit Bauelementen aus dem Layout-View heraus erstellt, die als mögliche Emitter von Substrat-NPN-Transistoren (Aggressor) unter das Substratpotential abtauchen können. Diese sog. Aggressoren müssen vom Schaltungsentwickler oder Layouter in einem ersten Schritt im Layouttool markiert werden. Anschließend werden vom Verifikationstool alle potentiell gefährdeten Bauelemente (Opfer) extrahiert, die als Kollektoren von Parasiten agieren können. Potentielle Opfer sind dabei alle Bauelemente, die eine n-Wanne besitzen und nicht gleichzeitig Aggressoren sind.

Die Layout-Extraktion wird mit dem kommerziellen Tool Cadence® DIVA realisiert. Hierbei werden u.a. die Koordinaten und die Umrandungen der Opferbauelemente gefunden, und es wird von jedem Bauelement das an die n-Wanne angeschlossene Pin bestimmt. Im Fall eines Ldmos-Transistors ist dies der Drain-Pin. Jedem Pin eines Bauelements ist ein Stromwert zugeordnet, der entweder aus der Simulation oder dem manuell vergebenen Pinstromattribut I_{pin} abgeleitet werden. Diese Pinstromwerte stellen damit den Emitterstrom des Aggressors oder die max. zulässigen Ströme an den n-Wannen der Opfer dar.

Nachdem alle Opferbauelemente extrahiert worden sind, wird automatisch eine Skill-Routine gestartet, die den kürzesten Abstand *x* der n-Wannen des Aggressors zu jeder n-Wanne der einzelnen Opfer bestimmt. Mit diesem Abstand wird mit Hilfe des Fitmodells des Transmissi-

onskoeffizienten $\alpha(x,Ie)$ der an jeder n-Wanne eines potentiellen Opfers ankommende Störstrom *Ic* bestimmt. Dieser Kollektorstrom wird, skaliert um den designspezifischen Schwellwertfaktor „*r*“, mit jedem Pinstromwert der n-Wannen der Opferbauelemente verglichen. Ist der Kollektorstrom *Ic*r* höher als der Pinstromwert I_{pin}, wird für dieses Bauelement graphisch und textuell eine Verletzung ausgegeben. Durch den Skalierungsfaktor „*r*“ kann die Empfindlichkeit der Checkroutine eingestellt werden; z.B. wird man bei einer empfindlichen Analogstufe als Opfer einen höheren Wert für „*r*“ wählen als bei einer high-side Endstufe, deren n-Wanne an die Versorgungsspannung angeschlossen ist. Der jeweilige Kollektorstrom *Ic* sowie andere berechnete Größen können von der Checkroutine ausgegeben werden. In einem letzten Schritt werden alle Verletzungen im Layouteditor geeignet visualisiert.

Dadurch dass die Extraktion der Bauelemente mit Cadence® DIVA von der Bestimmung der Kollektorströme für jedes Opfer-Bauelement getrennt ist, muss die Extraktion nur einmal durchgeführt. Aufgrund dieser Trennung ist es möglich, durch Änderung des Schwellwertfaktors „*r*“, entweder besonders empfindliche oder besonders unempfindliche Opferbauelemente zu identifizieren.

Ablauf der Verifikation

Im Folgenden wird anhand eines Beispiels der Ablauf der Verifikation parasitärer NPN-Transistoren dargestellt (

Abb. 2.1.1-6). In dem Beispiel handelt es sich um Teststrukturen (Ldmos-Transistoren, die als Diode verschaltet sind, d.h. deren Gate mit Source kurzgeschlossen ist), an denen auch im nächsten Kapitel messtechnisch die Checkroutine verifiziert wird. Dies war im Berichtszeitraum nur an Teststrukturen möglich, da das Silizium des Pilot-ICs in der vorliegenden Technologie verzögert war.

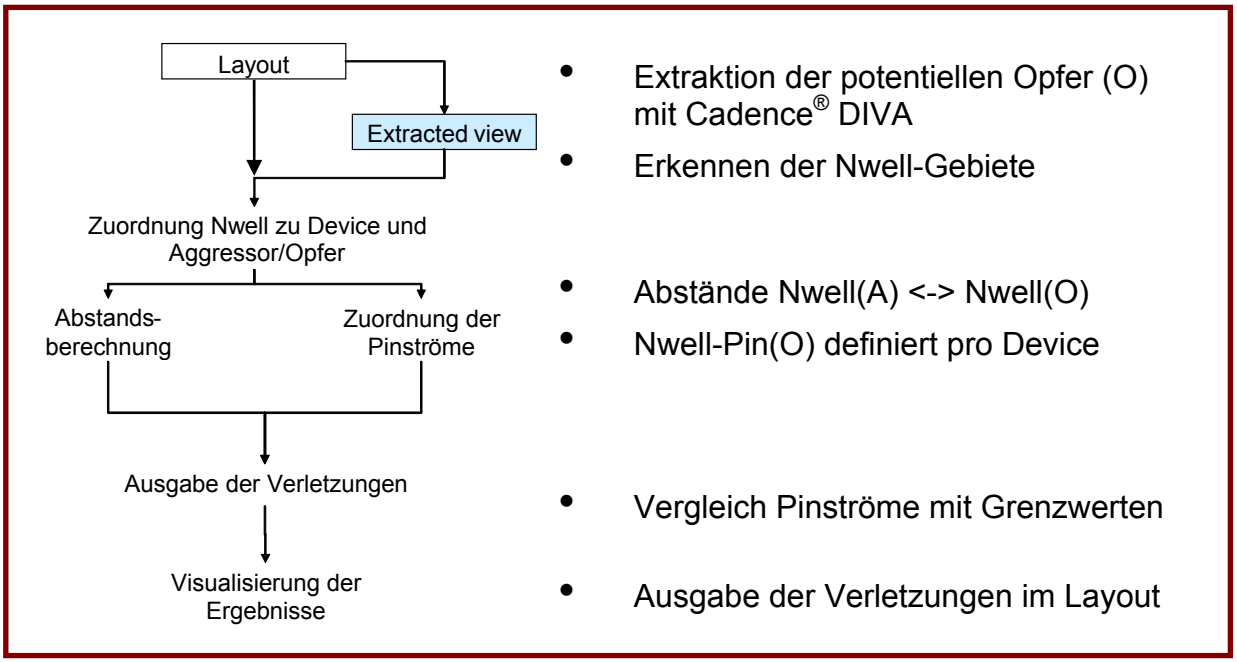


Abb. 2.1.1-6: Der Verifikationsablauf: Die Extraktion der Bauelemente sowie die Zuordnung der Nwell-Gebiete zu einem Device wird mit dem Cadence® DIVA durchgeführt, während alle anderen Schritte durch entsprechende Skill-Routinen realisiert sind.

Identifizierung des Aggressors durch Layouter oder Schaltungsentwickler (Abb. 2.1.1-7)

Durch Anbringen eines Labels „aggressor“ an dem Bauelement, dessen Wanne untertaucht, wird der Checkroutine und der Cadence® DIVA-Extraktion die untertauchende Wanne bekannt gemacht. Zur Verdeutlichung wurde „aggressor“ in Abb. 2.1.1-7 nochmals vergrößert unter das Anschlusspad geschrieben; das Label am Bauelement ist in dieser Vergrößerungsstufe nicht sichtbar.

Festlegung der Pinstromwerte für jedes Bauelement

Mit dem Instanzattribut (Bosch-spezifisch „CDC“ benannt) kann der Pinstromwert des Aggressors festgelegt werden. Im unten gezeigten Bild wird der Pinstromwert des Aggressors auf *Ie* = 100mA gesetzt („CDC“-Terminal = D (Drain))

Extraktion des Layouts + Start der Checkroutine

Durch einen Menüeintrag im CIW wird das Eingabefeld der Checkroutine gestartet. Wurde das Layout noch nicht extrahiert bzw. hat sich das Layout seit der letzten Extraktion verändert, so muss das Feld „Extract Layout“ zusätzlich aktiviert werden. Außerdem muss der Schwellwertfaktor „*r*“ eingegeben werden (Feld „Threshold“).

Ausgabe der Checkroutine, Visualisierung der Ergebnisse (Abb. 2.1.1-8)

Das Ergebnis wird zusätzlich zur graphischen Visualisierung im CIW des Cadence® DFII Frameworks können die Checkergebnisse zusätzlich ausgegeben.

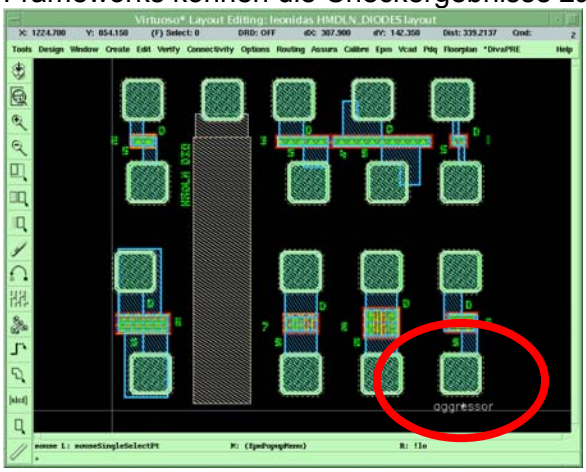


Abb. 2.1.1-7: Layout der Teststrukturen. Kennzeichnung des Aggressors mit Label „aggressor“

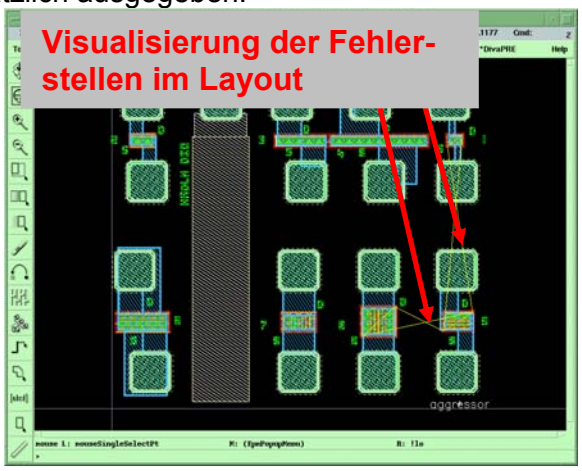


Abb. 2.1.1-8: Visuelle Ausgabe der Checkroutine mit zwei gefundenen Fehlerstellen im Layout.

Messtechnische Verifikation der Checkroutine

Für die im vorigen Kapitel gezeigten Teststrukturen wurden im Labor die Stromtransmissionskoeffizienten $\alpha(x,Ie)$ gemessen, um die Genauigkeit der Checkroutine abschätzen zu können.

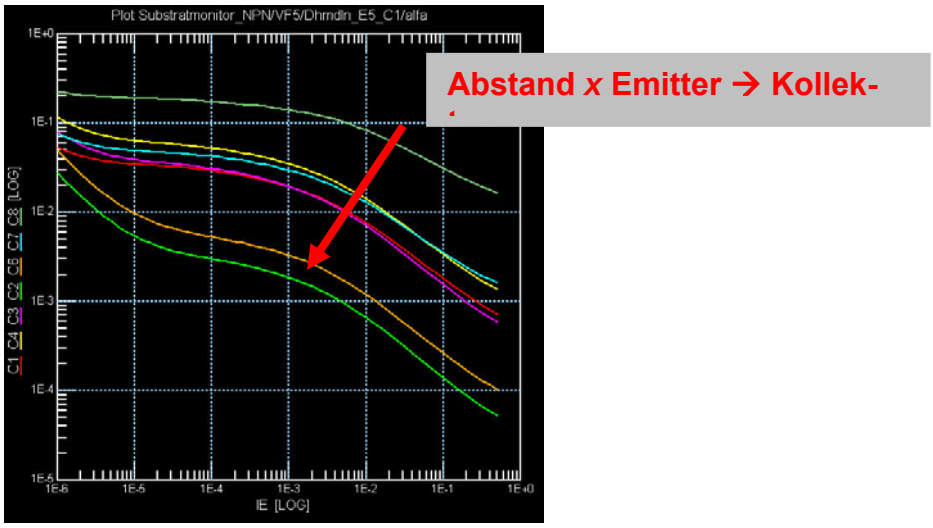


Abb. 2.1.1-9: Messtechnisch ermitteltes $\alpha(x,Ie)$ (über injiziertem Emitterstrom *Ie*)

Die Messbedingungen sind identisch mit den Bedingungen, bei denen die Fitfunktion bestimmt wurde, d.h. T_{max}=175°C, *Vc*=5V, Stromeinprägung im Emitter (1nA … 500mA). Bei drei Emitterströmen (10mA, 100mA, 500mA) wurde die Ausgabe der Checkroutine mit der Messung verglichen (siehe Tab. 2.1.1-1).

Kollektor Nr.	8	7	1	4	3	6	2
Abstand x (mit Checker bestimmt)	130.5	346	447.6	449	545.7	742.8	899.3
alpha_meas (I=10mA)	8.35E-02	1.29E-02	7.65E-03	1.40E-02	7.05E-03	1.19E-03	6.60E-04
alpha_fit	7.34E-02	2.64E-02	1.70E-02	1.69E-02	1.12E-02	4.72E-03	2.39E-03
Fehler @ 10mA	-12%	105%	123%	21%	58%	295%	262%
Verhältnis alfa_fit/alfa_meas	0.88	2.05	2.23	1.21	1.58	3.95	3.62
alpha_meas (I=100mA)	3.14E-02	3.52E-03	1.82E-03	3.36E-03	1.55E-03	2.64E-04	1.39E-04
alpha_fit	2.31E-02	6.09E-03	3.87E-03	3.84E-03	2.52E-03	1.08E-03	5.48E-04
Fehler @ 100mA	-26%	73%	113%	14%	63%	308%	294%
Verhältnis alfa_fit/alfa_meas	0.74	1.73	2.13	1.14	1.63	4.08	3.94
alpha_meas (I=500mA)	1.66E-02	1.63E-03	7.25E-04	1.35E-03	5.90E-04	1.01E-04	5.23E-05
alpha_fit	1.52E-02	2.99E-03	1.88E-03	1.87E-03	1.23E-03	5.31E-04	2.74E-04
Fehler @ 500mA	-9%	84%	159%	38%	108%	426%	423%
Verhältnis alfa_fit/alfa_meas	0.91	1.84	2.59	1.38	2.08	5.26	5.23

Tab. 2.1.1-1: Vergleich der Messwerte mit den Ausgaben der Checkroutine

In Tab. 2.1.1-1 ist ersichtlich, dass die Fitfunktion bis zu einem Faktor 5 von den Messwerten abweichen kann. Dies ist begründet durch die Vereinfachungen welche in die Messungen für das Fitmodell eingegangen sind (keine Berücksichtigung der Emitter / Kollektorgeometrie, keine Berücksichtigung von 3D-Effekten etc). Die ursprünglich vorgegebene Zielgenauigkeit von max. 1 Größenordnung wird aber sicher erreicht. Weiterhin ist ersichtlich, dass die Messwerte in der Regel überschätzt werden, d.h. die Checkroutine gibt tendenziell mehr Fehler aus als messtechnisch zu erwarten sind. Dies ist verständlich wenn man bedenkt, dass in das Fitmodell des Checker Worst-Case-Annahmen eingegangen sind (z.B. Worst-Case-Temperatur, Worst-Case-Emittergeometrien, etc). Eine Überschätzung ist jedoch eher wünschenswert, da dann somit keine potentiell gefährdeten Kollektoren durch den Check übersehen werden.

Nutzen

Mit Hilfe der implementierten Checkroutine werden die parasitären NPN-Transistoren in Smart-Power IC-Prozessen sicher identifiziert. Layouttechnische Abhilfemaßnahmen können anschließend durch den Layoutdesigner eingeführt werden. Die Überprüfung der IC-Entwürfe geschieht vor dem finalen Tapeout, wobei ein aufgrund von parasitären NPN-Transistoren notwendig gewordenes Redesign eingespart werden kann. Mit Hilfe der Check-

routine wird ein wichtiger Teil der Schaltungsfunktionalität abgesichert und die Entwurfsqualität gesteigert.

Ausblick

An diesem Prototyp der Checkroutine konnte die Wirksamkeit der entwickelten Verifikationsmethodik dargestellt werden. Die Einführung in den Entwurfsprozess hat nach Ende des Projektes begonnen. Basierend auf der breiten und praktischen Anwendung in den laufenden IC-Entwicklungsprojekten werden zudem in Zukunft zusätzliche Erweiterungen definiert und implementiert werden.

Literatur

[3] Dissertation M.Schenkel, „Substrate currents effects in smart power ICs“, Universität Konstanz, 2003.

2.1.2 Beitrag 1.1.2: Metrik für die Wahrscheinlichkeit von Crosstalk-Effekten / Referenzsimulation von kritischen Pfaden und Netzen unter Berücksichtigung von Crosstalk (Infineon)

Zur Überprüfung der Schaltungen auf leitungsgebundene Störeinflüsse, die speziell in der Automobiltechnik für sicherheitskritische Anwendungen unerlässlich ist, wurden zur Berücksichtigung der unvermeidbaren Leitungskopplungen in integrierten Schaltungen Methoden zur Vorhersage von Crosstalk-Effekten entwickelt, die es ermöglichen, den realistischen Worst Case Crosstalk zu finden und die Wahrscheinlichkeit des Worst Case Crosstalks bzw. dessen prozentuale Abstufungen unter Berücksichtigung von Prozeßschwankungen abzuschätzen. Des Weiteren wurden eine neue Methode entwickelt die es ermöglicht, unmöglichen Crosstalk (False Noise) auch für eine größere Anzahl von Aggressoren in kürzerer Zeit zu detektieren und damit von der weiteren Analyse und Optimierung auszuschließen. Um die entwickelten Methoden gegenüber dem Geschehen auf Silizium abzusichern, wurden Test- und Meßschaltungen entwickelt um Crosstalk zu provozieren und auszumessen. Hierbei wurde besonderer Wert auf die Genauigkeit der Messung und Toleranz gegenüber Prozeßschwankungen gelegt. Unter Crosstalk ist hier das kapazitive Übersprechen zwischen benachbarten Leitungen zu verstehen.

Ein neues Delay Measure welches Crosstalk und dessen Wahrscheinlichkeit berücksichtigt

Während sich für die Berechnung von Delay ohne Crosstalk inzwischen eine allgemein akzeptierte Methode durchgesetzt hat, die entsprechend von nahezu allen EDA-Applikationen schon seit Jahrzehnten angewandt wird, besteht bei Delay mit Crosstalk noch nicht einmal Einigkeit über die einzelnen Begriffe. Während die Unterschiede zwischen EDA-Anwendungen verschiedener Hersteller meist durch Bedienungsfehler oder Bugs herrühren, die vergleichsweise einfach aufgedeckt werden können, ergeben sich bei der Analyse von Delay mit Crosstalk wesentlich größere Unterschiede, allein durch die unterschiedlichen Algorithmen und Ansätze. Hierdurch ergab sich bei Infineon die Notwendigkeit, die hauseigene Referenzzeitanalyse, mit der EDA-Applikationen qualifiziert werden, mit einer Crosstalk Delay Analyse auszustatten. Die algorithmischen Untersuchungen dieses Beitrags sollten das Fundament hierfür bereitstellen.

Als Delay zweier Signale wurde bisher die Zeitdifferenz zu einem gemeinsamen Prozentwert dieser Signale herangezogen. Typischerweise wird die Zeitdifferenz bei 50% des maximalen Signalwertes gemessen. Andererseits wird der sogenannte Slew eines Signals, gewissermaßen seine Steigung, als Zeitdifferenz zwischen zwei verschiedenen Prozentwerten des Signals z.B. 20% und 80% definiert. Auf diese Weise wird ein Signal durch zwei Zahlen charakterisiert: Die Zeit wenn es den Delay Trip Point durchschreitet wird als seine Ankunftszeit gewählt, wohingegen die Zeit vom ersten Slew Trip Point zum zweiten Slew Trip Point als sein Slew herangezogen wird.

Signale, die durch Crosstalk gestört sind, können nicht einfach durch lineare Rampen beschrieben werden. Erschwerend kommt hinzu, dass die Kombination von Aggressorzuständen und Eingangssignalen welche die schlimmste Störung verursachen gefunden werden muß. Insbesondere die optimalen Ankunftszeiten für die Aggressoreneingangssignale und Slews relativ zum Victimsignal werden gesucht. Wenn nur ein Delay Trip Point verwendet wird, ergibt sich eine nichtlineare Optimierung mit mehreren Sattel- und Extrempunkten. Nur zwei Slew Trip Points für die gestörte nichtmonotone Signalform zu verwenden, erscheint zumindest fraglich.

Dieses nichtlineare Verhalten wird bisher in der Literatur und heutigen EDA-Programmen ignoriert, in gleicher Weise wie die nichtkonvexe Form der Crosstalk Delay Funktion. Typischerweise wird der Einfluss des Crosstalk durch lineare Funktionen approximiert und durch 'greedy' Optimierungsalgorithmen ein lokales Optimum gesucht [6] welches durchaus signifikant vom globalem Optimum abweichen kann, z.B. 5% in [7].

Wir haben ein neues Delay-Maß entwickelt, welches konvex ist über dem betrachteten Be-

reich, die gesamten Signalverläufe einbezieht und es erlaubt, Randbedingungen wie z.B. die früheste und späteste Schaltzeit von Aggressoreingangssignalen vorzugeben. Das prinzipielle Verfahren besteht darin, dass ein Funktional minimiert wird, welches den Unterschied zwischen zwei Signalverläufen misst. Als Funktional verwenden wir bevorzugt das Expected Weight of Evidence, das gewisse Optimalitätskriterien erfüllt. Alternativ könnte aber auch die (evtl. gewichtete) Fehlerquadratsumme verwendet werden. Diese unterscheidet jedoch nicht zwischen Über- und Unterschwingern infolge Crosstalk. In einem gewissen Sinne kann auch die übliche Delay-Bestimmung als Funktional verstanden werden, das für den resultierenden Delay minimiert wird.

Die Minimierung ist verschachtelt: Zunächst werden die beiden Signale zeitlich gegeneinander verschoben um ein Maß für ihren Delay zu bekommen. Diese Minimierung ist eingebunden in eine weitere äußere Optimierung die nach dem maximalen oder minimalen Delay entsprechend den Randbedingungen sucht. Durch diesen neuen Ansatz ist es möglich den Delay zwischen zwei Signalen unter Berücksichtigung ihrer gesamten Signalformen zu berechnen und zu optimieren.

Damit kann die STA vollständige und irreguläre (z.B. durch Crosstalk gestörte) Signalformen in ihrer Gesamtheit einbeziehen. Bei der Optimierung mittels Augmented Lagrange Optimierung fallen Lagrange-Multiplikatoren an, die Auskunft darüber geben, wie sensitiv ein bestimmter Crosstalk bzgl. Änderungen in den Randbedingungen ist, z.B. Ankunft oder Slew der Eingangssignale, Größe der Koppelkapazität, und damit auch wie wahrscheinlich dieser ist.

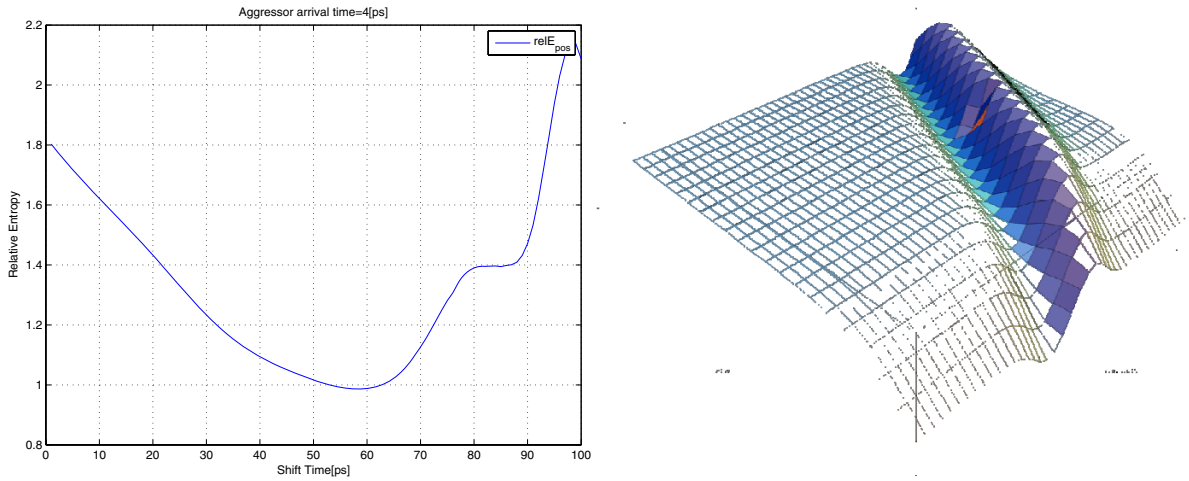


Abb. 2.1.2-1 Verlauf des Delay-Maß für das Alignment eines Victims mit einem (links) Aggressor und mit zwei Aggressoren (rechts). In beiden Fällen wurden die Signale und Crosstalk Bumps durch Weibullverteilungen gebildet.

Ein neuer Ansatz zur (Macro-)Modellierung von Signalen und Digitalzellen

Wie in 0 angedeutet, ist die Analyse von Crosstalk Delay wesentlich aufwendiger und erfordert weitaus mehr Referenzsimulationsschritte als die Zeitanalyse ohne Berücksichtigung von Crosstalk Delay. Das Ziel dieses Beitrages war es daher die umfangreichen SPICE-Zellmodelle der Referenzsimulationen durch einfachere, gleichzeitig aber annähernd gleich genaue Modelle zu ersetzen, um so die Simulationen wesentlich zu beschleunigen.

Wie oben schon angedeutet verhalten sich digitale Zellen mit jeder neuen Technologiegeneration immer nichtlinearer. Ein Grund sind zum einen die verringerten Versorgungsspannungen, welche kleinere Schwellenspannungen erfordern, damit die Zellen ausreichend schnell schalten. Zum anderen verursachen aber die kleineren Technologiegrößen selbst ein nichtlineares Verhalten, z.B. die Transistorkanäle, oder sie vergrößern die Wirkung von parasitären Effekten. Dadurch können empfangende Zellen (Receiver) nicht mehr als einfache konstante Kapazitäten modelliert werden. Andererseits können treibende Zellen nicht mehr durch einfache Strom- oder Spannungsquellen approximiert werden [8].

Der typische Ansatz zur Herleitung genauerer Zellmodelle mittels Stromquellen ist zweistufig [8][9]: Zunächst wird eine DC-Analyse der Zelle durchgeführt, bei der sowohl die Eingangs- als auch die Ausgangsspannung von logisch Null zu logisch Eins bzw. von 0V zu Versorgungsspannung durchlaufen wird. Aus den sich ergebenden Spannungs- bzw. Stromverläufen kann dann eine Gleichstromquelle abgeleitet werden. Das dynamische (Filter-)Verhalten der Zelle wird anschließend durch mindestens eine Transientensimulation mit einem möglichst schnell schaltenden Eingangssignal ermittelt. Anhand dieser leitet man dann die Größen der parasitären Kapazitäten ab.

Ein Grund für die bisher mangelnde Akzeptanz dieser Modelle in der Industrie ist die eben erläuterte neue Art der Charakterisierung. Bisher war es üblich, verschieden steile Eingangssignale auf den Eingang einer Zelle zusammen mit verschiedenen Ausgangslasten aufzuprägen und die resultierenden Ausgangssignale mittels Slew und Delay zu charakterisieren. Diese hergebrachte Charakterisierung wird durch ECSM bzw. CCS erweitert, indem mehr als drei Meßpunkte aufgenommen werden. In [9] wurde deshalb vorgeschlagen diese Messpunkte für die Herleitung der echten Current Source Modelle heranzuziehen. Bisher werden die Gleichstromquelle und die konstanten Kapazitätwerte durch lineare oder nichtlineare Regression ermittelt, dadurch sind die Größen von Anfang an ungenau und es ergeben sich sehr häufig unphysikalische negative Kapazitätwerte.

Wavelet / Fehler	Linear	Quadratic	Exponential	Weibull
Durchschnittlicher relativer Fehler [%]	1.062	1.023	1.096	0.456
Durchschnittlicher absoluter Fehler [V]	0.0016	0.0013	0.0012	0.0011
Max. relativer Fehler [%]	13.336	13.266	14.022	5.436
Max. absoluter Fehler [V]	0.0054	0.004	0.0035	0.0043
Anzahl der Waveletkoeffizienten	14	15	17	17

Tab. 2.1.2-1: Fehler per Wavelettransformation mit verschiedenen Basisfunktionen: Linear, Quadratisch, Exponentiell, und Weibull. Anzahl der ursprünglichen Koeffizienten, d.h. Meßpunkte, war 125.

Unser Modell verwendet die gut erforschte und robuste Waveletanalyse [10]. Diese transformiert, ähnlich wie die Fouriertransformation, Signale auf einen Funktionsraum. Während jedoch bei der Fouriertransformation lediglich vom Zeit- in den Frequenzraum transformiert wird, transformiert die Wavelettransformation neben dem zeitlichen auch das räumliche Signalverhalten. Analog sind die Basisfunktionen der Fouriertransformation stationäre periodische Signale, bei der Wavelettransformation aber kompakte Funktionen (Wavelets) die nur für einen abgegrenzten Zeitbereich ungleich Null sind. Wie in [10] gezeigt, kann man diese Wavelettransformation als Multiskalenanalyse mittels Filterbänken interpretieren. Damit hätte man dann ein Zellmodel das aus verschiedenen Filtern, gebildet durch Kapazitäten und Widerständen, und Gleichstromquellen besteht. Dieses Zellmodel kann direkt von gewöhnlich simulierten Signalen hergeleitet werden. In der einfachsten Implementierung liefert so ein Modell eine perfekte Rekonstruktion der simulierten Signale. Durch geeignete Threshold-Strategien können die Modelle vereinfacht werden. Im Prinzip werden hierbei Teile der Filterbänke einfach weggelassen oder die Stromquellen vereinfacht.

Mittels dieses Zellmodels kann sowohl die analoge Simulation von Digitalzellen beschleunigt werden, als auch die Genauigkeit von STA-Anwendungen bzgl. der simulierten Signale der Analogsimulation angenähert werden. Tab. 2.1.2-1 zeigt die Fehler für ein Signal infolge der Wavelettransformation und dem Filtern von Waveletkoeffizienten deren Betrag kleiner 0,01 ist.

Unmöglicher Crosstalk (False Noise)

Bei der herkömmlichen Analyse von Crosstalk wird angenommen, dass alle möglichen Aggressoren eines jeden Victims zu gleicher Zeit Crosstalk verursachen können. Dies ist im Allgemeinen eine übermäßig pessimistische Annahme, da aufgrund von Logik- und Zeitabhängigkeiten möglicherweise nicht alle Aggressoren gleichzeitig in die gleiche Richtung schalten können. Dieses überschätzte Übersprechen wird ‚False Crosstalk' genannt.

Dieser Pessimismus rührt von der unabhängigen Behandlung einer jeden Aggressor und Victim Netzkopplung. Zeit- oder Logikwechselbeziehungen, die bestimmte Schaltszenarien unmöglich machen, werden einfach ignoriert. Industrieapplikationen vermeiden die gröbsten Schnitzer, indem sie die offensichtlichsten primitiven Logikkorrelationen von Einzelinvertern und Buffern ausfiltern. Dieser erste Ansatz ist jedoch weit davon entfernt, das Problem zufriedenstellend zu lösen.

False Noise verzerrt nicht nur die Analyse von Crosstalk bzgl. der Stelle wo Crosstalk auftritt, sondern auch die im Pfad nachfolgenden Zellen. Die Auswirkung dieser Fehlerfortpflanzung hängt von der Art des Crosstalk ab. Während Crosstalk Noise durch nachfolgende Zellen gedämpft werden kann, wird Crosstalk Delay nicht einfach verschwinden, sondern summiert sich auf bzgl. der Pfadlaufzeit und des Slack. Falsch berechnete Änderungen des Slew infolge von Crosstalk stören sogar die Analyse der nachfolgenden Zellen im Pfad und letztendlich die Timing Check Analyse.

Vor einiger Zeit wurden neue Algorithmen vorgeschlagen, die diese komplizierten Logik- und Zeitabhängigkeiten berücksichtigen, um False Noise zu detektieren und die maximal realisierbare Aggressorkombination (Maximum Realizable Aggressor Set, MRAS) zu finden [11][12][13]. Diese Ansätze wurden aber bisher von der Industrie nicht umgesetzt. Der wesentliche Grund liegt in der NP-vollständigen Natur des eigentlichen Problems. Daher sind Heuristiken die die Lösung beschleunigen sehr vonnöten. In Leonidas+ wurde solch ein Algorithmus erarbeitet, der Tendency Graph Approach (TGA) [14]. Er macht sich die logischen Abhängigkeiten innerhalb der betrachteten Zellen zunutze, um ein quantitatives Maß für die Wahrscheinlichkeit von Schaltszenarien herzuleiten. Dieses Maß wird dann hergenommen um den Graphen des Branch & Bound Algorithmus, welcher zur exakten Lösung von False Noise verwendet wird, zu sortieren und auf ihn eine Bipartition durchzuführen.

Im Gegensatz zu den Heuristiken die in [11] vorgeschlagen wurden, erfordert der in Leonidas+ erarbeitete Ansatz nicht, dass Teile der Logikkorrelationen zwischen Teilmengen der Aggressoren ‚ignoriert' werden und damit Programmlaufzeit mit Pessimismus und Genauigkeit abgewogen werden müssen. Stattdessen werden alle Korrelationen in Betracht gezogen und die exakte Lösung ermittelt. Allerdings kann TGA mit diesen Heuristiken kombiniert werden um die Berechnung noch mehr zu beschleunigen.

Bei den Untersuchungen wurden bisher ausschließlich die Logikkorrelationen berücksichtigt und eine einheitliche Schaltverzögerung angenommen. Der vorgeschlagene Algorithmus funktioniert unabhängig von der Art und Weise wie die Logikkorrelationen generiert werden und kann mit jeder anderen Technik kombiniert werden. Obwohl hauptsächlich Digitalzellen betrachtet wurden , kann TGA auch auf CMOS Transistorschaltungen angewandt werden.

TGA basiert auf der allgemeinen Verzweigungsheuristik Fail First, welche versucht zuerst die am wenigsten wahrscheinlichen Fälle zu untersuchen. Entsprechend werden die Elemente für die Eingabe des Branch & Bound Algorithmus so sortiert, dass unnötige Verzweigungen zu einem früheren Verarbeitungsschritt ausgesiebt werden und somit auch unnötige Auswertungen auf diesen Zweigen vermieden werden.

TGA beschleunigt die Geschwindigkeit des Branch & Bound Algorithmus indem er versucht den Aufwand zu verringern, mit dem festgestellt wird ob ein unauflöslicher Unterbaum tatsächlich unauflöslich ist. Infolge der exponentiellen Komplexität des Branch & Bound Algorithmus können sich Probleme mit einer sehr großen Anzahl von Aggressoren (typischerweise solche mit mehr als 50 Aggressoren) als unlösbar herausstellen, selbst wenn TGA angewandt wird. In solchen Fällen können zusätzliche Näherungsalgorithmen hinzugezogen werden, die die Aggressormenge in kleinere Teilmengen aufteilen.

Der vorgeschlagene Tendency Graph Approach wurde in C++ programmiert und an einem

industriellen Design in 90 nm Technologie mit ca. 70.000 Standardzellen getestet. Hierbei wurden verschiedene Crosstalk Szenarien durchgespielt (High Noise, Low Noise, Delay und Speedup) und die Anzahl der Aufrufe des rekursiven Branch & Bound Algorithmus im Vergleich mit und ohne Verwendung von TGA gezählt. Wir verweisen hier auf [14] für eine genauere Beschreibung der Herangehensweise und Ergebnisse.

Im Rahmen der Tests von TGA auf mittelgroßen Schaltungen zeigte sich, dass der ursprünglich verwendete Resolution Algorithmus - zur Auflösung der logischen Gleichungen - zu langsam für solche Designgrößen und Pfadlängen ist. Deshalb wurde dieser, analog wie in [13], durch den etablierten SAT-Löser zChaff ersetzt. Bei den Tests zeigte sich, dass dieser neue Ansatz sehr gute Laufzeiten für Netze mit bis zu 15 Aggressoren zeigt. Wir sind zuversichtlich, dass auch Netze mit mehr als 15 Aggressoren in akzeptabler Laufzeit behandelt werden können, wenn Heuristiken wie der entwickelte TGA und solche wie in [11] vorgeschlagen verwendet werden. Die Ergebnisse sind in nachfolgenden Graphiken dargestellt.

Abb. 2.1.2-2 stellt das Histogramm über die Anzahl der Aggressoren pro Netz dar. In Abb. 2.1.2-3 sieht man die Reduktion des Pessimismus in Form der Anzahl der Aggressoren, die infolge logischer Korrelationen ihren jeweiligen Victim nicht stören können.

Eine einfache Technik ähnlich des TGA wurde verwendet, um die Aggressoren zu sortieren die dem Branch & Bound Algorithmus zugeführt werden. Es wird als ‚Simple Aggressor Ordering' (SAO) bezeichnet und ordnet die Aggressoren entsprechend ihrer Stärke. Abb. 2.1.2-1 zeigt die durchschnittliche Laufzeit des Branch & Bound mit SAT für verschiedene Netze mit unterschiedlicher Aggressoranzahl, mal mit und mal ohne SAO.
Die Lösung des False Noise Problem mittels eines SAT Lösers erscheint vielversprechend in Bezug auf die erreichbaren Laufzeiten. Wobei die Kombination mit TGA noch nicht getestet wurde.

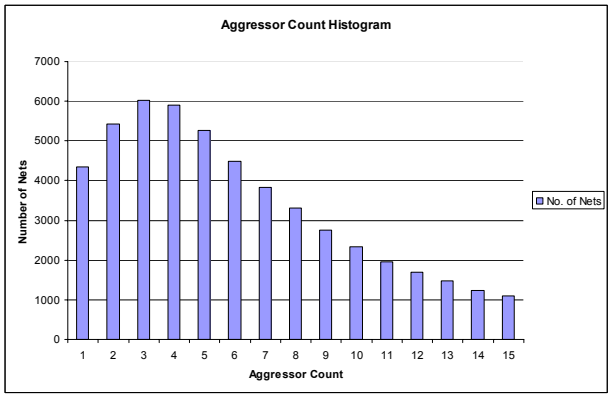


Abb. 2.1.2-2 Histogramm der Aggressoranzahl

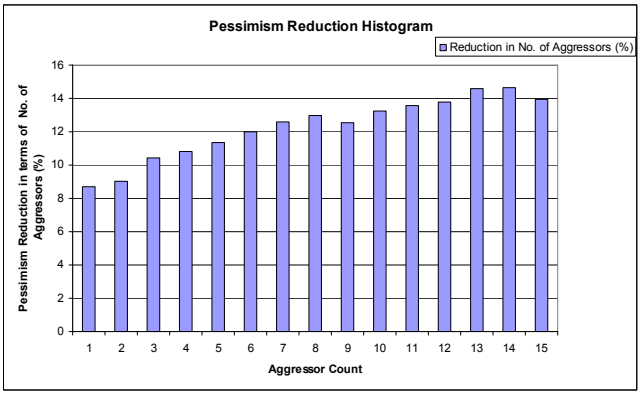


Abb. 2.1.2-3: Histogramm der Pessimismusreduktion

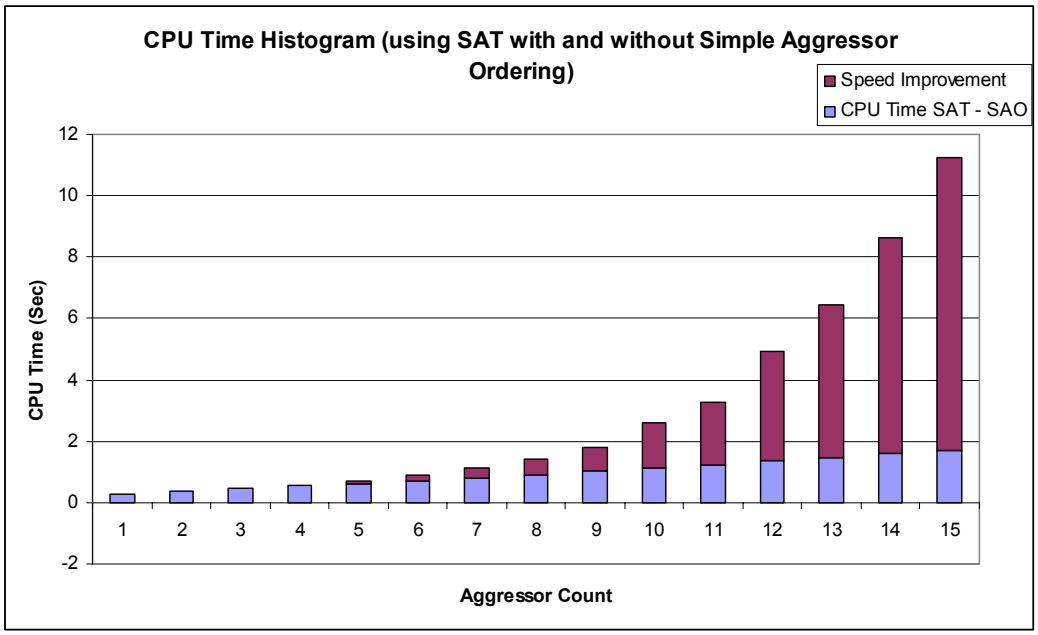


Abb. 2.1.2-1 CPU-Laufzeit Histogramm (SAT mit und ohne Simple Aggressor Ordering)

Mess- und Testschaltungen

Das Ziel dieses Beitrags war die Entwicklung und Auswertung von on-chip Mess- und Test-Schaltungen, um Crosstalk-Effekte bewerten zu können. Die untersuchten Größen bzw. Referenzwerte sind Änderungen des Zeitverhaltens bzgl. Delay, Slew, und Timing-Checks. Untersuchte Crosstalk-Parameter sind Crosstalk-Glitch/Noise, -Delay, und -Slew. Nichtsdestotrotz sollen die Messschaltungen exakte Werte liefern und robust sein gegenüber Prozessvariationen.

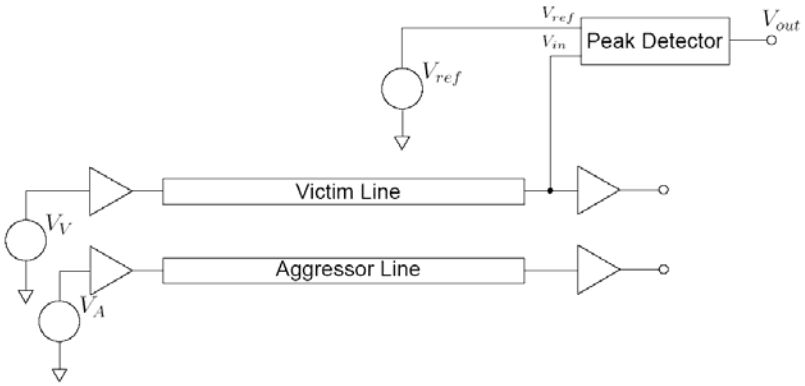


Abb. 2.1.2-4: Allgemeine Messkonfiguration für Rauschspannungsspitzen

Eine allgemeine Konfiguration für das Messen von Rauschspannungsspitzen ist in Abbildung 2.1.2-1 dargestellt. Im allgemeinen Fall ist der Peak Noise Detector eine Komparatorschaltung. Eine gegebene Spannung, V_{ref}, wird angepasst und mit der Signalspannung auf der Opferleitung, V_{in}, verglichen. Der Peak Detector Ausgang, V_{out}, stellt das Ergebnis des Vergleichs zwischen V_{in} und V_{ref} dar. Wenn V_{ref} in kleinen Schritten angepasst wird, so repräsentiert der letzte Wert von V_{ref}, der den Ausgang des Peak Detectors nicht schaltet, die Spitze von V_{in}. Für die Messung von Rauschspannungsspitzen sollte eine konstante Spannung V_V am Eingang des Opfers und eine Wechselspannung V_A am Eingang des Aggressors liegen. Wir haben mehrere Schaltungen zur Implementierung des Peak Detectors entwickelt, ausgewertet [10] und eine ausführliche Analyse der Prozessvariationen durchgeführt [15].

Für eine bequeme Steuerung der Messschaltungen und dem Ablesen der Messwerte wurde ein Mixed-Signal Framework entwickelt, in welches die Messschaltungen eingebettet sind [10]. Mehrere Schaltungen zur Signalrekonstruktion basierend auf Komparatoren, Abtastsensoren und on-chip Oszilloskopen, die es ermöglichen, das vollständige Crosstalk-generierte Signal in Abhängigkeit von Prozessvariationen abzutasten und zu speichern, wurden ebenfalls untersucht [10].

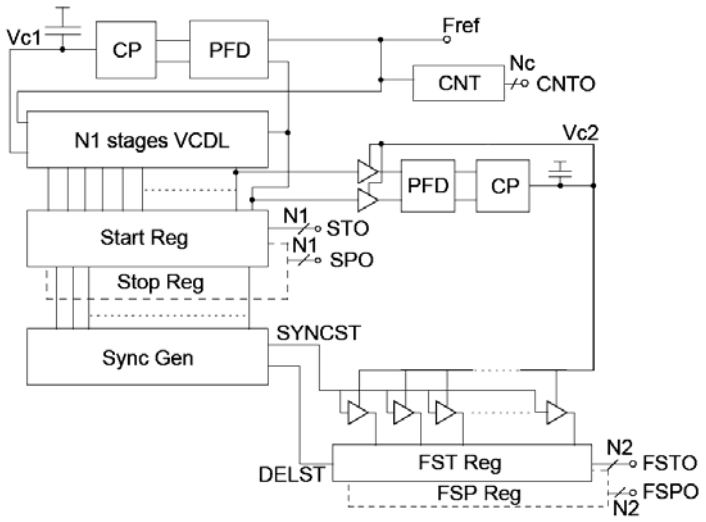


Abb. 2.1.2-5: Blockdiagramm der verschachtelten DLL Architektur

Es wurde ein hochauflösender Zeit-Digital-Wandler (Time-to-Digital Converter, TDC) für die Messung von durch Crosstalk entstandenen Delays entworfen, der auf einer modifizierten verschachtelten DLL Architektur (MNDA) basiert. Das Blockdiagramm dieser Schaltung ist in Abbildung 2.1.2-2 [16] dargestellt. Die gröbste Zeiteinheit wird durch den Counter (CNT), der mit einer relativ geringen externen Frequenz, F_{ref}, getaktet ist, gemessen. Um die Auflösung zu erhöhen, wird die Frequenz im ersten DLL multipliziert. Dieser DLL verringert die gemessene Zeiteinheit auf T_{ref}/N_1 mithilfe einer N_1-stufigen spannungsgesteuerten Verzögerungsstrecke (Voltage Controlled Delay Line, VCDL). Der innere DLL erlaubt eine noch feinere Zeitauflösung von $T_{ref}/(N_1 \cdot N_2)$, wobei N_2 die Anzahl seiner Stufen ist. Dadurch können Delaydifferenzen zwischen den Stufen gemessen werden, die noch kleiner sind als das Delay eines minimalen Inverters [16]. Die groben Messergebnisse des Counters können am CNTO Ausgang abgegriffen werden. Die höher auflösenden Messungen sind an den *Start* und *Stop* Registern an den STO und SPO Ausgängen verfügbar. Die höchstauflösenden Messungen werden am Ausgang des verschachtelten DLLs gespeichert und können an den FSTO und FSPO Ausgängen abgegriffen werden.

Die Beiträge umfassen einen neuartigen Buffer für die MNDA, die Benutzung eines Double-Loop Filters, einen neuartigen Phasen-Frequenz Detektor (PFD), um Phasendifferenzen bei der fallenden Taktflanke zu messen und den optimierten Entwurf von Triggern für das Timing der Schaltungseingänge [17][18]. Es wird die Benutzung von single-ended DLL Buffer mit einer Double-Bias Steuerung in der Ausgangsstufe vorgeschlagen, wodurch Messungen mit einer sehr hohen Zeitauflösung möglich sind und eine kontrollierte Symmetrie des Delays bei der steigenden und fallenden Taktflanke. Des Weiteren wurde gezeigt, wie die überlegte Einstellung von Bauelementgrößen die Robustheit gegenüber Prozessvariationen verbessern kann und Richtlinien für den Entwurf einer Verzögerungsstrecke mit maximaler Robustheit des Buffers gegenüber Prozessvariationen erstellt [17]. Zum ersten Mal wurde der Schmitt-Trigger für das Aufbereiten der Timing-kritischen Eingangssignale eines TDC vorgeschlagen. Mehrere Schaltungen wurden untersucht und es wurde festgestellt, dass der Einfluss von Prozessparametervariationen stark von dem Triggerschwellwert abhängt. Des Weiteren wurden die Schwellwerte abgeleitet, die die Robustheit sowohl gegen Prozessvariatio-

nen als auch Variationen der Eingangs-Slew-Rate maximieren [18]. Schließlich wurde das MNDA Framework auf sein Verhalten in der Gegenwart von Taktschwankungen (Clock Jitter) und Variationen des Arbeitszyklus untersucht, und es wurde festgestellt, dass ein überlegter Entwurf der Eingangstrigger die Robustheit signifikant verbessert [19].

Um die Robustheit gegenüber Prozessvariationen zu verbessern, wurde eine selbstkalibrierende On-Chip Methode basierend auf Adaptive Body Biasing (ABB) entwickelt [20][21][22]. Unser Vorgehen unterstützt eine Vielzahl von Implementierungen und erreicht eine starke Reduktion der Effekte durch Variationen. Darüber hinaus kann diese Methode in jeder analogen oder Mixed-Signal-Schaltung Anwendung finden.

Um das Verhalten der Schaltungen in Abhängigkeit von Prozessparametervariationen zu analysieren, wurden Simulationen mit einer Vielzahl von Variablen durchgeführt. Zuerst wurden die Kanaldimensionen, die Dicke des Gateoxids und die Kanaldotierungsdichte sowohl mit Inter- als auch mit Intra-Die Komponenten (partiell korreliert) variiert [15]. Als nächstes wurden prozesskalibrierte Parameterverteilungen verwendet, die von Infineon in einer 90-nm, 1.0-V CMOS Technologie bereitgestellt wurden. Es wurde gezeigt, dass komplementäre Folded-Cascode Komparatoren eine höhere Robustheit gegenüber Prozessvariationen aufweisen als andere Peak Detector Schaltungen und dass die Korrelation zwischen Bauelementpaaren einen signifikanten Einfluss auf die Robustheit ausübt. Die Einstellung der Bauelementgrößen bewirkt nur eine moderate Verbesserung dieser Robustheit und muss sehr sorgfältig durchgeführt werden.

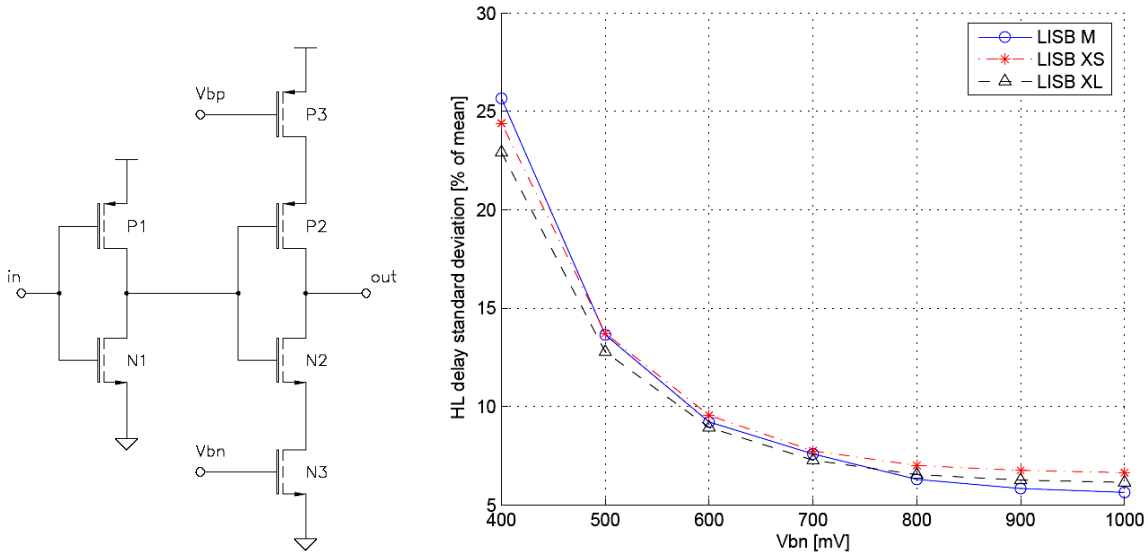


Abb. 2.1.2-6: DLL Buffer (LISB) und Einfluss von Prozessvariationen auf das induzierte Delay

Abbildung 2.1.2-3 [18] zeigt den Einfluss der Variationen auf das Delay des DLL Buffers bei einer high-to-low (HL) Transition. Der Einfluss der Variationen wurde über den ganzen Wertebereich der Delays durchgeführt, um die Region zu finden, die die Robustheit maximiert. Der Buffer wurde in einer verketteten Konfiguration getestet und der Delay wurde bei 50% Schaltschwelle gemessen. Um den Einfluss von Bauelementgrößen auf die Robustheit zu bewerten, wurden drei Layouts verschiedener Größe generiert: kompakt (XS), medium (M) und groß (XL). Wie in Abbildung 2.1.2-3 dargestellt hängt die Standardabweichung stark von dem induzierten Delay ab: Die Robustheit ist maximal für ein minimales Delay (oder einer maximalen Vorspannung V_{bn}) und nimmt mit steigendem Delay rapide ab. In dem Bereich geringer Werte für das Delay wird die beste Robustheit beim Layout M erreicht und die Standardabweichung ist kleiner als 7% des Erwartungswertes (ungefähr 5 ps als absoluter Wert). Es kann festgehalten werden, dass das größte Layout nicht das robustesten ist, außer im Bereich großer Delaywerte, wo allerdings die Verbesserung der Robustheit gegen Variationen vernachlässigbar ist. Um die größte Robustheit zu erreichen, muss der Entwurf des DLLs das Delay jeder Stufe minimieren und daher die höchstmögliche Anzahl an Stufen verwenden, die in das Zeitfenster T_{ref} passen.

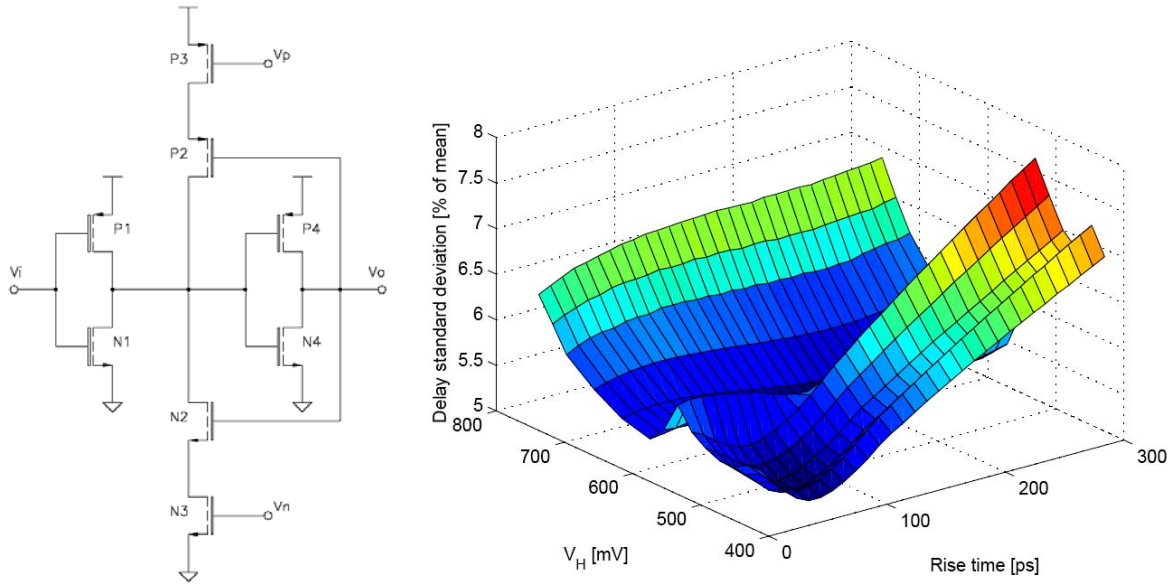


Abb. 2.1.2-7: Schmitt-Trigger mit steuerbarem Schwellwert und Simulationsergebnisse bezüglich der Robustheit

Triggerschaltungen, die in einem hochauflösenden Framework für Messungen verwendet werden, sollten sowohl präzise Schwellwert-gesteuert schalten als auch die geringste Abhängigkeit des Delays von Eingangs-Anstiegsrate und Prozessvariationen besitzen. In diesem Zusammenhang wurden einige Schmitt-Trigger- und Komparatorschaltungen analysiert. Die größte Robustheit gegen Variationen wurde durch die Schaltung in Abbildung 2.1.2-4 erreicht. Eine weitere Untersuchung zielte darauf ab, den Trigger-Schwellwert zu ermitteln, der die Robustheit maximiert. Hierzu wurden Simulationen durchgeführt, die den gesamten Bereich der möglichen Schwellwerte jeder einzelnen Schaltung umfassen. Der Schwellwert eines Schmitt-Triggers für eine Low-to-High Transition ist definiert als die Eingangsspannung, bei der die Ausgangsspannung gleich der Eingangsspannung ist:

$$V_H \triangleq Vi\Big|_{\substack{V_o=V_i \\ V_o \nearrow 1}}$$

Für die Schaltung in Abbildung 2.1.2-4 wurden zwei Layouts implementiert: ein Layout mit einem relativ kleinem V_H (428.34 – 530.36 mV) und eines mit einem großem V_H (550.82 – 755 mV). Für jeden Wert von V_H , wurde die Anstiegszeit am Eingang von 10 ps bis 300 ps variiert (was alle üblichen Fälle in State-of-the-Art Digitalschaltungen abdeckt) und Monte-Carlo Simulationen mit Prozessparametervariationen wurden durchgeführt. Wie in Abbildung 2.1.2-4 gezeigt, hängt die Standardabweichung des Delays, welches durch den Trigger induziert wird, stark vom gewählten Layout ab. Das Triggern bei Spannungen ungefähr halb so groß wie die Versorgungsspannung (z.B. 450 – 500 mV) bewirkt eine größere absolute Robustheit. Allerdings sind bei einer Schwellspannung von V_H = 450 mV die Abweichungen, obwohl absolut am geringsten, sehr stark abhängig von der Eingangs-Anstiegsrate. Das Triggern bei V_H = 600 mV garantiert auf der einen Seite eine gute Robustheit, die auf der anderen Seite auch recht konstant über den gesamten Wertebereich der Eingangs- Anstiegsrate hinweg ist.

Literatur

[4] T. Lin, E. Acar, and L. Pileggi, “h-gamma: An RC delay metric based on a gamma distribution approximation of the homogeneous response,” in International Conference on Computer Aided Desing ICCAD, pp. 19–25, 1998.

[5] F. Liu, C. Kashyap, and C. J. Alpert, “A delay metric for RC circuits based on the weibull distribution,” in International Conference on Computer Aided Design ICCAD, pp. 620–624, 2002.

[6] I. Keller, K. Tseng, and N. Verghese, “A robust cell-level crosstalk delay change analysis,” DATE, 2004.

[7] S. Sirichotiyakul, D. Blaauw, C. Oh, RafiLevy, V. Zolotov, and J. Zuo, “Driver modeling and alignment for worst-case delay noise,” in Proc. DAC, pp. 720–725, 2001.

[8] J. F. Croix and D. F. Wong, “Blade and razor: Cell and interconnect delay analysis using current-based models,” in Proc. DAC, pp. 386–389, 2003.

[9] K. Chopra, C. Kashyap, H. Su, and D. Blaauw, “Current source driver model synthesis and worst-case alignment for accurate timing and noise analysis,” in TAU, 2004.

[10] I. Daubechies, Ten Lectures on Wavelets. SIAM, 1992.

[11] A. Glebov, S. Gavrilov, R. Soloviev, V. Zolotov, M. Becer, C. Oh, and R. Panda., Delay noise pessimism reduction by logic correlations, International Conference on Computer Aided Design (ICCAD), 2004.

[12] A. Glebov, S. Gavrilov, V. Zolotov, R. Panda, C. Oh, and D. Blaauw, False-noise analysis using resolution method, International Symposium on Quality Electronic Design (ISQED), 2002.

[13] A. Glebov, S. Gavrilov, D. Blaauw, S. Sirichotiyakul, C. Oh, and V. Zolotov, False noise analysis using logic implications, International Conference on Computer Aided Design (ICCAD), pages 515–521, 2001.

[14] Palla, Murthy; Koch, Klaus; Bargfrede, Jens; Anheier, Walter; Glesner, Manfred: "Reduction of Crosstalk Pessimism using Tendency Graph Approach", paper 24th International Conference on Computer Design 2006 (ICCD October 1-4, San Jose, USA)

[15] P. B. Bacinschi and T. Murgan: „Concepts for Measuring and Test Circuits“, Technical Report, T. U. Darmstadt, 2005.

[16] P. B. Bacinschi and T. Murgan: „Extended Process Variations Analysis“, Technical Report, T. U. Darmstadt, 2006.

[17] P. B. Bacinschi and T. Murgan: „High Resolution Measurement Framework for Crosstalk-Induced Delay“, Technical Report, T. U. Darmstadt, 2006.

[18] P. B. Bacinschi and T. Murgan: „MNDA Buffer Design and Trigger Sensitivity“, Technical Report, T. U. Darmstadt, 2006.

[19] P. B. Bacinschi and T. Murgan: „Schmitt Trigger Trip Point Analysis and LISB Robustness“, Technical Report, T. U. Darmstadt, 2007.

[20] P. B. Bacinschi and T. Murgan: „DLL Sensitivity to Clock Jitter and Duty Cycle Variations“, Technical Report, T. U. Darmstadt, 2007.

[21] P. B. Bacinschi and T. Murgan: „Adaptive Body Bias for Matched Transistors Calibration“, Technical Report, T. U. Darmstadt, 2006.

[22] P. B. Bacinschi and T. Murgan: „Analog On-Chip Adaptive Body Bias for Reducing Device Mismatches in Transistor Pairs“, Technical Report, T. U. Darmstadt, 2007.

[23] S. Vrudhula; D. T. Blaauw; S. Sirichotiyakul: ”Probabilistic Analysis of Interconnect Coupling Noise”, IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2003.

2.1.3 Beitrag 1.1.3: Analyse-gesteuerte Extraktion und Modellierung von Leitbahnen (Infineon)

Aufgrund der enormen Komplexität derzeitiger und zukünftiger Schaltungen führt die umfassende Berücksichtigung der parasitärer Effekte der Leitbahnen im Modell zu einer sehr großen Anzahl zusätzlicher Elemente, die den Aufwand bei der Extraktion und bei Simulation erheblich steigern bzw. diese unmöglich machen. Diese Komplexität bei der Extraktion muss durch geeignete Verfahren reduziert werden, ohne bei der Genauigkeit Abstriche zu machen. Die Idee diese Beitrages ist es, das Wissen über die durchzuführende Analyse auszunützen, um nicht relevante Daten zu löschen oder erst gar nicht zu erzeugen. Beide Möglichkeiten wurden in diesem Beitrag untersucht. Die beiden Flows sind in Abb. 2.1.3-1 schematisch dargestellt.

Der Designflow der selektiven Reduktion basiert auf einer Standard-Extraktion, die eine möglichst genaue Netzliste der Schaltung mit parasitären Elementen liefert. Die Backannotation sowie ein Ausflachungsschritt werden mit bereits vorhandenen proprietären Tools vorgenommen. Das Ergebnis wird mit einem In-House Analogsimulator eingelesen. Bei Definition einer Messgröße (z.B. Crosstalk) ist dieser ist in der Lage, die linearen Sensitivitäten dieser Messgröße nach den absoluten oder relativen Werten der parasitären Elementen zu berechnen. Diese Information wird aufbereitet und dem Reduktor in Form von Anweisungen zur Reduktion übergeben. Damit wird sichergestellt, dass die Reduktion die entsprechend kritischen Elemente mit besonderer Sorgfalt behandelt. Die entstehende Netzliste ist dementsprechend in der Komplexität reduziert, kann aber trotzdem in der Simulation die Messgrößen-Werte der ursprünglichen Netzliste mit hoher Genauigkeit reproduzieren. Diese Netzliste ist daher für eine Eckwert- oder Monte-Carlo-Analyse geeignet. Der Vorteil im Vergleich zum zweiten Verfahren liegt in seiner Nähe zum Standard Flow. Des Weiteren kann die Genauigkeit durch eine weitere Sensitivitätsanalyse überprüft werden. Der Nachteil liegt darin, dass sich die im Vergleich zum Standard Flow anfallende Datenmenge nicht reduziert.

Der Designflow der selektiven Extraktion setzt bereits bei der Schematic-Analogsimulation ein. In diesem Falle versucht man bereits aufgrund einer Simulation ohne (oder nur mit abgeschätzten) parasitären Elementen zu einer quantitativen Einschätzung des Einflusses dieser Elemente zu kommen. Dies wird dann konvertiert in eine Aussage über die Wichtigkeit der Extraktion parasitärer Elemente auf bestimmten Netzen. Letztere Information wird dann zur selektiven Steuerung der Extraktion der parasitären Elemente verwendet. Der Ablauf bewegt sich damit überwiegend außerhalb des gängigen Standard Design Flows. Das Ziel ist letztendlich wiederum eine Netliste zur Eckwert- oder Monte-Carlo Analyse. Der Vorteil des Verfahrens zur selektiven Extraktion liegt in der Minimierung der produzierten Datenmenge. Des Weiteren ist es innerhalb des Verfahrens auch möglich, die Monte-Carlo Analyse auf die Leitbahnparameter auszudehnen. Ein Nachteil gegenüber dem ersten Verfahren ist die Berechnung der Sensitivitäten bei idealen Bedingungen, was im Falle nicht-linearer Abhängigkeiten zu größeren Fehlern im Vergleich zur selektiven Reduktion führen kann.

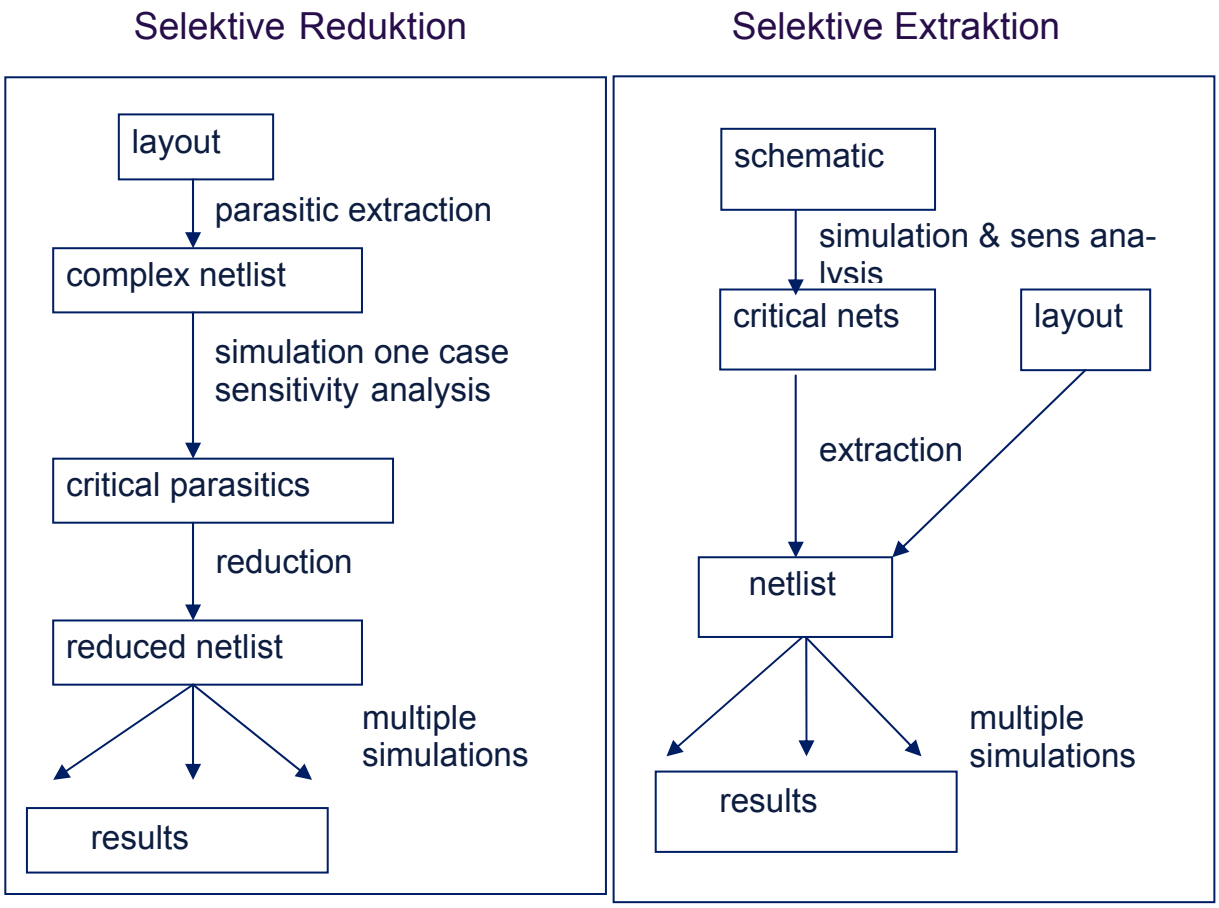


Abb. 2.1.3-1: Flows für selektive Reduktion und selektive Extraktion

Die Genauigkeit an einem realen Beispiel ist in Abb. 2.1.3-2 dargestellt. Darin bezeichnet *RCC* eine Simulation mit Widerständen und voll gekoppelten Kapazitäten, *RED* die Simulation mit einer per selektiven Reduktion gewonnen Netzliste. *ADDR* und *EX* bezeichnen die Simulationen am Anfang und am Ende des Flows der selektiven Extraktion. Die Messgröße „Duty Cycle“ ergibt sich als Quotient der gemessenen Zeiten T1 und T. Insgesamt ergibt sich eine gute Übereinstimmung der Resultate in beiden Fällen.

	RCC	RED	ADDR	EX
# resistors	15199	251	9000	352
# capacitors	144067	2089	152	38495
T/ns	2.500	2.492	2.515	2.486
T1/ns	1.238	1.232	1.244	1.226
Duty cycle	49.52%	49.44%	49.48	49.34

Abb. 2.1.3-2: Messresultate für DDCC

Der Laufzeitgewinn ergibt sich durch die wiederholte Nutzung der weniger komplexen Netzlisten unter anderen Randbedingungen. Abb. 2.1.3-3 zeigt die Gesamtlaufzeit einer Eckwertanalyse mit 16 Fällen. Wie zu sehen ist, kann diese Laufzeit durch Einsatz eines der beiden Flows um ungefähr den Faktor 3 reduziert werden.

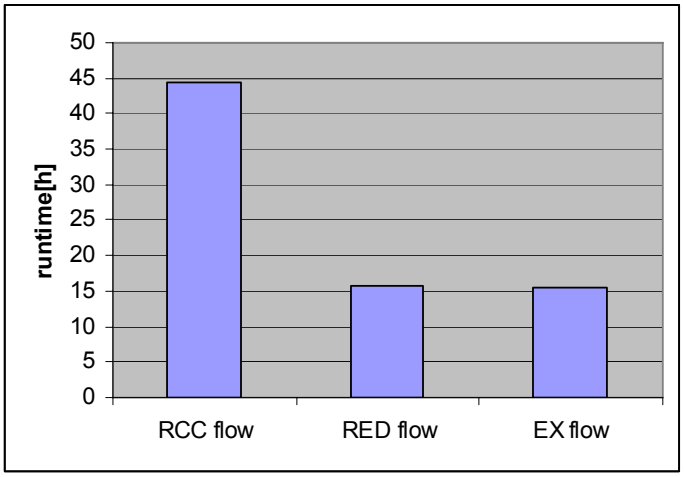


Abb. 2.1.3-3: Laufzeit Eckwertanalyse für DDCC

Eine weitere Möglichkeit ist die Einsatz der Flows mit dem Ziel einer Monte-Carlo Analyse. Ein entsprechender Einsatz wird im nächsten Beitrag vorgestellt. In LEONIDAS+ wurde also ein Werkzeug entwickelt, mit dem die Effizienz der Schaltungsimulation für komplexe und lang laufende Analysen signifikant gesteigert werden kann. Monte-Carlo Analysen unter Einbeziehung von Layout-extrahierten Netzlisten werden durch die im Beitrag entwickelten Methoden erst möglich.

2.1.4 Beitrag 1.2.1: Silicon-View-basierte Extraktion und stochastische Prozessvariationen bei der Simulation

Mit immer kleiner werdenden Strukturgrößen und zunehmender Schaltungskomplexität werden unvermeidbare Schwankungen während des Herstellungsprozesses immer stärker als Störeffekte bemerkbar. Diese Schwankungen sind einerseits systematischer Natur, andererseits ergeben sich aber auch statistische Schwankungen aufgrund unkontrollierbarer Variationen in den Herstellungsbedingungen. Um die technologischen Vorteile der kommenden Technologieknoten überhaupt ausnutzen zu können, wird es daher in zunehmendem Maße wichtig, Methoden zur Verfügung zu haben, die es erlauben, Einfluss und Folgen solcher Prozessvariationen schon in einer möglichst frühen Entwurfsphase angemessen berücksichtigen zu können.

Aufgrund der Schwankungen im Herstellungsprozess variieren einerseits Größen wie die Oxid-Dicken, Gate-Längen, Dotierungskonzentrationen etc., die die Charakteristika der einzelnen Transistor-Bauelemente bestimmen. Aber auch die Dicken der Metall-Lagen und Isolator-Schichten, die Weiten und Abstände der Metallbahnen und die Widerstände der Kontakte und Vias, die die einzelnen Bauelemente elektrisch verbinden, sind fertigungsbedingten Schwankungen unterworfen, die dazu führen, dass auch die parasitären physikalischen Eigenschaften der Leitbahnen (also beispielsweise ihre Widerstände und Kapazitäten) zu variierenden Größen werden.

Mit der steigenden Bedeutung der parasitären Leitbahneigenschaften auf das Gesamtverhalten der Schaltung zeigt sich verstärkt die Notwendigkeit, auch diese Variationen im Schaltungsentwurf zu berücksichtigen. Diese ‚Interconnect-Variationen' sind allerdings von etwas anderer Natur als die der Bauelemente selbst, da sie sehr kontext-abhängige Größen sind: Die parasitären Eigenschaften der Leitbahnen, beispielsweise ihre Kapazitäten, werden nicht nur von den lokalen technologischen Parametern bestimmt, sondern auch von der jeweiligen Netzwerkumgebung der betrachteten Bahn. Aufgrund dieses besonderen Charakters des Problems finden sich daher derzeit kaum geeignete Analysemethoden im Angebot der EDA-Industrie.

Die in diesem Beitrag entwickelten neuen Methoden schließen diese Lücke. Aufbauend auf Resultaten des LEONIDAS-Projekts, in der der Einfluss solcher Schwankungen auf repräsentative zweidimensionale Leitbahnmodelle untersucht wurde, entstand ein neuer Variations-Extraktions-Flow zur Extraktion von Interconnect-Schwankungen aus einem gegebenen „realen" Layout. Das Verfahren kombiniert einen geeignet gewählten Satz von Standard-RC-Extraktionen mit einem im LEONIDAS -Projekt entwickelten semi-analytischen Linearisierungsansatz und erzeugt so eine erweiterte Form von Netzlisten, die alle Informationen enthalten, die notwendig sind, den Einfluss der Interconnect-Variationen auf das Verhalten der betrachteten Schaltung anhand von (spice Analog-Monte-Carlo-) Simulationen zu ermitteln (für weitere Details siehe die Publikationen [39,47]).

Das entwickelte Verfahren ist auf reale industrielle Schaltungsentwürfe mittlerer Größe anwendbar. Es ist in der Lage aus den Schwankungen von Geometriegrößen wie Schichtdicken und Metallbahn-Weiten zunächst die stark korrelierten Schwankungen der parasitären Widerstände und Kapazitäten abzuleiten und darauf aufbauend den Einfluss auf die Schaltungsperformance abzuschätzen (vgl. Abb. 2.1.4-1).

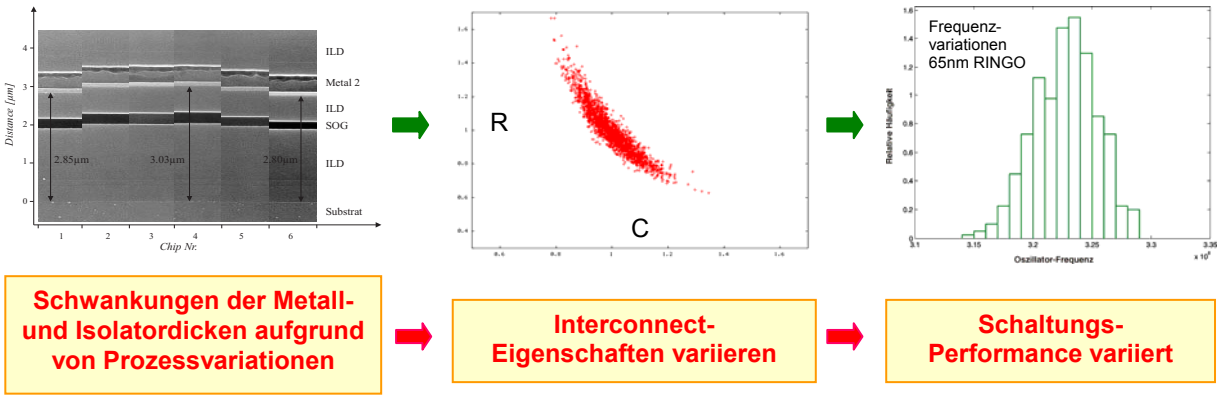


Abb. 2.1.4-1: Einfluss der Schwankungen der Schichtdicken auf das Schaltungsverhalten

Der hierfür entwickelte Interconnect-Variations-Extraktions-Flow ***„ivarex“*** (vgl. Abb. 2.1.4-2) basiert auf einer Reihe konventioneller RC-Extraktionen, die in unserem Fall mit dem Programm *‚assura'* von Cadence durchgeführt werden. Für jede variierende Geometriegröße werden zunächst zwei Extraktionen durchgeführt, in dem der jeweilige Nominalwert einmal in positiver und einmal in negativer Richtung ausgelenkt wird. Aus diesen Extraktionen werden dann mit einem linearen oder logarithmisch-linearen Ansatz die Gradienten der R und C Parameter bzgl. der Schwankungen der Geometriegrößen bestimmt und in *einer* parametrisierten Variationsnetzliste zusammengefasst. Basierend auf dieser Variationsnetzliste kann nun mit einem Analog-Simulator das Schaltungsverhalten mit Monte-Carlo Analysen oder mit Corner-Case Untersuchungen studiert werden.

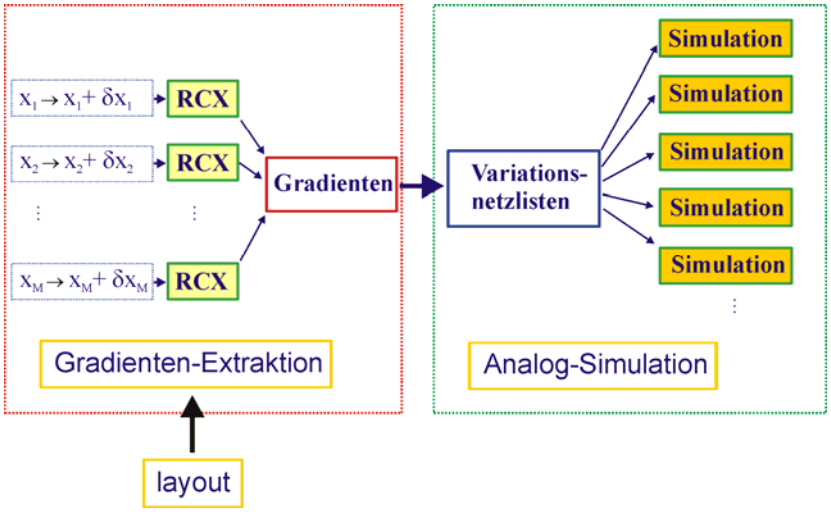


Abb. 2.1.4-2: Der „*ivarex*“-Flow

Dieser „*ivarex*“-Flow steht in Form einer scriptbasierten Umgebung als Experten-Tool zu Verfügung und wurde mittlerweile auf eine Reihe kleinerer und mittlerer analoger Schaltungs-Beispiele, die in Infineon-(IFX) und Qimonda-(QAG)-Technologien implementiert sind, angewendet. In Tab. 2.1.4-1 sind beispielhaft einige Ergebnisse für verschiedene Messgrößen aus Monte-Carlo Simulationen aufgeführt, die auf diesen „ivarex“-Variationsnetzlisten basieren. Gezeigt sind charakteristische Resultate für relative Standardabweichungen (σ_{rel} Interconnect) der Schwankungen der Schaltungseigenschaften, die durch die statistisch schwankenden Interconnect-Eigenschaften erzeugt werden. Bei den untersuchten Schaltungen handelt es sich um Ring-Oszillator-Strukturen („Ringo“) in unterschiedlichen Technologien, um spannungsgesteuerte Oszillatoren aus real gefertigten Produkten („VCO“), und um ein kleines digitales Multiplizierer-Halbaddierer-Design („Muha“).

Insgesamt zeigte sich, dass bei den vorliegenden Schaltungs- und Technologievarianten die

durch Interconnect-Schwankungen induzierten Performance-Variationen noch vergleichsweise klein sind, insbesondere im Vergleich zu den bekannten, aufgrund von Schwankungen der Bauelementeigenschaften entstehenden Variationen. Zu beachten ist aber, dass Ergebnisse dieser Art stark technologie- und schaltungsabhängig sind und daher weitere systematische Untersuchungen (insbesondere in Technologien mit kleineren Strukturgrößen) notwendig sind.

Test-case	Technologie	Anzahl Elemente	σ_{rel} Interconnect	Messgröße
Ringo 1	IFX-65nm	9000	0.40%	Frequenz
Ringo 2	IFX-90nm	550	2.80%	Frequenz
VCO	IFX-90nm	59000	0.30%	Frequenz
Muha	IFX-90nm	420000	2.20%	Leistung
VCO	QAG-70nm	100000	0.98%	Frequenz
			2.89%	Risetime

Tab. 2.1.4-1: Ergebnisse der Monte-Carlo-Schaltungssimulationen

Im Laufe dieser Beispielanalysen zeigte sich auch, dass nicht die RC-Extraktionen selbst der rechenintensivste Teil der Analyse sind, sondern eher die auf den resultierenden Variations-Netzlisten aufbauenden nachfolgenden Monte-Carlo-Schaltungssimulationen. Es wurde daher im Rahmen von LEONIDAS+ auch nach Möglichkeiten gesucht, hier Alternativen und beschleunigte Verfahren bereitzustellen.

Einerseits wurde eine Methode implementiert, die aus den hergeleiteten statistischen Informationen auf intelligente Weise Grenzfälle (sogenannte „smart corner cases“) mit möglichst geringem Pessimismus für die Variation der parasitären Widerstände und Kapazitäten unter Berücksichtigung der Korrelationen herleitet. Resultate aus dieser neuen Form der Grenzfallbetrachtung zeigt Tab. 2.1.4-2. Sie enthält die minimalen und maximalen Abweichungen der Messgrößen vom Nominalwert der bis zu 32 einzelnen 3σ „smart corner cases“ im Vergleich zu dem zugehörigen „wahren“ 3σ-Wert der Monte Carlo Läufe. Es ist zu erkennen, dass die corner cases einen guten ersten Eindruck von der Größe der Variationen der Messgrößen geben, dass sie aber im Detail doch signifikant von den Monte-Carlo Ergebnissen abweichen.

Test-case	Technologie	min	max	3σ MC	Messgrösse
Ringo 1	IFX-65nm	-1%	+2%	1.2%	Frequenz
Ringo 2	IFX-90nm	-12%	+12%	8.4%	Frequenz
VCO	QAG-70nm	-7.6%	2.8%	3.0%	Frequenz
		-6.2%	7.4%	8.7%	Risetime

Tab. 2.1.4-2: Minimal- und Maximalwerte der „smart corner cases“ im Vergleich zu den Ergebnissen der Monte-Carlo Simulationen

Als weitere Möglichkeit zur Beschleunigung des Monte-Carlo-Verfahrens selbst wurde daher die in LEONIDAS+ Beitrag 1.1.3 entwickelte sensitivitätsbasierte Extraktion untersucht. Tab. 2.1.4-3 zeigt Resultate für das schon oben verwendete Qimonda-Beispiel des in 70nm-Technologie implementierten spannungsgesteuerten Oszillators. Gezeigt sind Laufzeiten für 2000 Monte Carlo Läufe auf 10 parallelen Linux 64Bit Opteron Prozessoren, sowie die relativen Abweichungen von nominaler Frequenz, mittlerer Frequenz und Standardabweichung der Frequenz für unterschiedlich reduzierte Netlisten. Zunächst wurde bezüglich der Widerstandswerte eine selektive Extraktion durchgeführt. In einer weiteren Sensitivitätsanalyse haben wir die nicht-sensitiven Kapazitäten bestimmt und sie einmal mit Nullpotential verbunden und einmal ganz eliminiert. Die Ergebnisse zeigen, dass man trotz starker Reduktion der Laufzeiten nur minimale Abweichungen (< 2%) in allen beobachteten Größen erhält. Die Tabelle enthält die relativen Abweichungen der nach den beschriebenen Reduktionen erhaltenen Simulationsresultate von den zugehörigen Ergebnissen aus der originalen Variations-

netzliste. Sie zeigt also unmittelbar den relativen Fehler, der aufgrund der unterschiedlichen Reduktionsverfahren entsteht.

Netzliste	Laufzeit	Abweichung nominale Frequenz	Abweichung mittlere Frequenz	Abweichung Standardabweichung σ Frequenz
Original	31:02h	-:-	-:-	-:-
Nach selektiver R-Extraction	6:23h	0.55%	0.58%	1.29%
Insensitive Caps auf Nullpotential	5:38h	0.12%	0.12%	1.80%
Insensitive Caps eliminiert	3:18h	0.56%	0.67%	0.51%

Tab. 2.1.4-3: Laufzeitvergleich und relativer Genauigkeitsverlust bei Anwendung der Sensitiven Extraktion (QAG-VCO)

Die in LEONIDAS+ entstandenen Verfahren definieren einen Satz von Werkzeugen, die es erlauben, den Einfluss statistischer Variationen der Prozessparameter auf die Interconnect-Parameter und die daraus resultierenden Schwankungen im Verhalten realistischer Schaltungen analysieren zu können. Zwar lassen die in den bisher vorliegenden Beispielen untersuchten Schaltungs- und Technologievarianten einen eher geringen Einfluss vermuten - insbesondere im Vergleich zu den aufgrund von Schwankungen der Bauelementeigenschaften entstehenden Variationen. Zu beachten ist aber, dass Ergebnisse dieser Art stark technologie- und schaltungsabhängig sind und zu erwarten ist, dass Schwankungen dieser Art in künftigen Technologien mit kleineren Strukturgrößen eher zu- als abnehmen werden.

Entscheidend ist daher, dass aufgrund der LEONIDAS+ Arbeiten erstmals praktisch einsetzbare Verfahren zur Verfügung stehen, die durch Interconnect-Variationen erzeugten Schwankungen für gegebene Schaltungsimplementierungen systematisch und frühzeitig ermitteln zu können um gegebenenfalls rechtzeitig Maßnahmen ergreifen zu können.

2.1.5 Beitrag 1.2.2: Untersuchungen von Prozessvariationen bei Leitungen (IMS, Leibniz Universität Hannover)

Statistische Prozessschwankungen behindern die weitere Verkleinerung der Strukturabmessungen in integrierten Schaltungen. In diesem Beitrag wurden über Beitrag 1.2.1 hinaus zwei Aspekte der Prozessschwankungen betrachtet. Der erste Aspekt ist die Modellierung der Prozessschwankungen durch die Erweiterung von GEO2D und GEO3D, zwei Modellierungstools von Qimonda, die als Präprozessor für Field-Solver Berechnungen eingesetzt werden. Der zweite Aspekt stellt die Entwicklung von zwei Verfahren dar, um die Bestimmung der statistischen Einflüsse auf das Schaltkreisverhalten zu beschleunigen.

Das Ziel der Erweiterungen in GEO2D und GEO3D ist es, bei Monte-Carlo-Simulationen das Einlesen von großen Layouts für jede Konfiguration zu vermeiden und stattdessen die gespeicherten Daten in der Datenstruktur zu ändern. Die Arbeiten gliedern sich in die folgenden zwei Schritte:

- Entwurf und Implementierung einer Grammatik für GEO2D und GEO3D, die die Voraussetzungen zur Beschreibung von Prozess-Variationen schafft.
- Erweiterung der Schnittstelle von GEO3D um umfangreiche Funktionen zur Interpretation der oben genannten Grammatik.

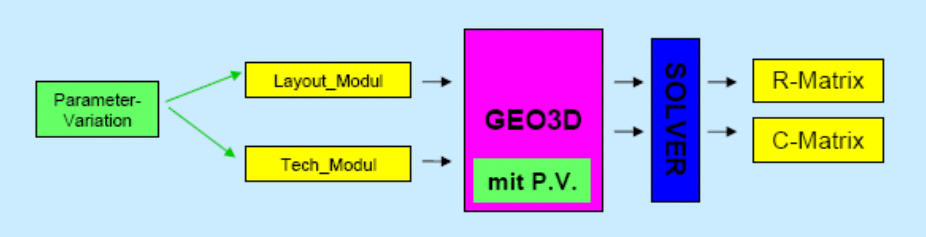


Abb. 2.1.5-1**: GEO3D-Datenfluss**

Die neu entwickelte Grammatik ist in den beiden Dateien „Layout_Modul“ und „Tech_Modul“ spezifiziert. Geometrische Informationen sind dabei im „Layout_Modul“ abgelegt, während technische Informationen in dem „Tech_Modul“ zusammengefasst werden.

Um die erweiterte Grammatik intern in GEO3D abbilden zu können, wurde die Datenstruktur des Präprozessors entsprechend angepasst. Zur Verarbeitung der modifizierten Datenstruktur durch GEO3D wurden die folgenden drei Kernfunktionen bereitgestellt:

- Boolsche Operationen
- Skalierungsfunktionen
- Kantenspezifische Skalierung

Zur Untersuchung des Einflusses der Prozessschwankungen wird häufig die Monte-Carlo-Methode (MCM) benutzt. Sie ist genau, einfach zu verwenden, jedoch sehr rechenintensiv. Um die einfache MCM zu beschleunigen, wurde die Importance-Sampling-Technik (IS) in GEO2D eingebaut ([76], [83]).

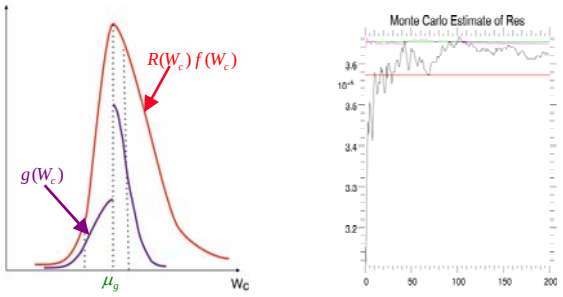


Abb. 2.1.5-2: Importance-Sampling-Technik zur Beschleunigung des einfachen Monte-Carlo -Verfahren

Die Idee beim IS ist, die Stichproben nicht gemäß der Originaldichte f(x), sondern gemäß einer anderen Dichte g(x) zu nehmen, um die Varianz der Schätzung zu reduzieren. Das Prinzip besteht darin, dass g(x) proportional zur R(x)f(x) sein soll, wobei R(x) den Zielwert (Widerstand, Kapazität...) darstellt. Dazu werden problemangepasste Samplingdichten eingesetzt. Um diese automatisch zu bestimmen, wurden verschiedene Heuristiken entwickelt und untersucht. Die erzielte Beschleunigung ist teilweise beachtlich, jedoch abhängig vom Zielwert.
Analytische Methoden sind ein anderer Lösungsansatz für das Problem der Prozessschwankungen. In diesem Teil des Projekts wurde das CMCal-Verfahren (Central-Moment-Calculating) – basierend auf Approximation höherer Ordnungen – entwickelt ([84], [88]).

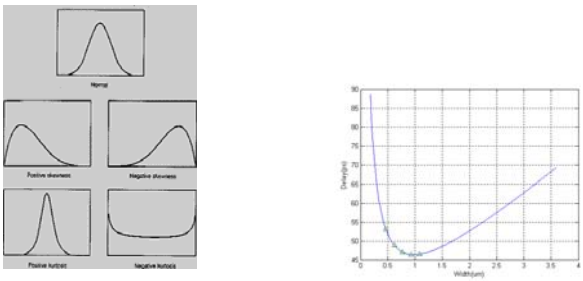
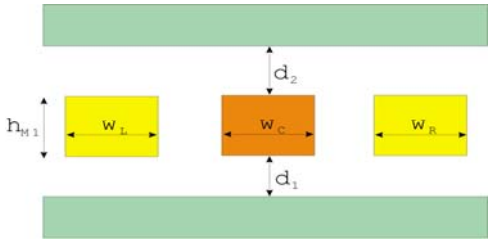


Abb. 2.1.5-3: CMCal-Verfahren zur Analyse der Prozessschwankungen in starke nichtlineare Schaltungen

Die Zielwerte werden dabei als Funktion der variierenden Parameter formuliert und mit einer Taylorentwicklung bis zur vierten Ordnung approximiert. Die Werte der höheren Momente der Prozessparameter werden dann mit Hilfe der Taylor-Darstellung zu höheren Momenten der Verteilungsdichte der Zielwerte umgerechnet.



Reference (MC_36481): E[R] = $2.284*10^7$		
Method	**No. of Simulations**	**Error**
Monte Carlo	30000	-0.11%
Importance Sampling	8831	0.12%
Taylor 1st Order	3	-12.43%
Taylor 2nd Order	3	-6.01%
Taylor 4th Order	5	-0.11%

Abb. 2.1.5-4: Die Verfahren wurden beispielhaft auf eine 2D-Busstruktur angewendet. Die Tabelle zeigt das Ergebnis für einen Testcase mit einem stark schwankenden Parameter.

Die einzige Annahme dieses Verfahrens besteht darin, dass die ersten Zentralmomente der Eingangsgrößen bekannt sein müssen. Experimente zeigen, dass dieses Verfahren präzise Ergebnisse liefert – auch für stark nichtlineare Probleme und große Variationen. Die Weiterentwicklung dieses Verfahrens wird sich auf die Reduktion der Komplexität in höher dimensionalen Problemen konzentrieren.

2.2 Arbeitspaket 2: Constraints

Dieses Arbeitspaket gliederte sich in die beiden Schwerpunkte „Constraint-Management“ und „Constraint-Umsetzung“.

Im Rahmen des Schwerpunktes „Constraint-Management“ gab es eine intensive Zusammenarbeit mit der R&D-Abteilung der Firma Cadence®. Ausgehend von den Ergebnissen des Förderprojektes LEONIDAS, konnte auf die Entwicklung des Constraint-Management-Systems für die Cadence® DFII IC 6.1 Version erfolgreich Einfluss genommen werden. Für das durchgängige Constraint-Management-System im Full-Custom IC-Entwurf wurden vom Partner Infineon die Anforderungen spezifiziert, ein Benutzermodell erwickelt und dieses an Cadence® R&D zur Implementierung übergeben.

Im zweiten Schwerpunkt „Constraint-Umsetzung“ wurde an der Umsetzung der Constraints im Analoglayout, der parasitensymmetrischen Verdrahtung, dem multi-constraint Busrouting sowie dynamischer IR-Drop Analysemethoden zur optimalen Platzierung von Stützkondensatoren gearbeitet.

Bei der IR-Drop berücksichtigenden Platzierung von Stützkondensatoren konnte ein geeigneter Lösungsansatz gefunden und mit Hilfe eines kommerziellen EDA-Software Anbieters praktisch umgesetzt werden.

Die Erweiterungen des Verdrahtungstools „Parsy“ zum Einbau von parasitenberücksichtigenden Verdrahtungsausgleichsmodulen konnte erfolgreich getestet werden. Auch wurde durch die Anbindung an das Cadence® DFII und an die zugrundeliegende OpenAccess Datenbasis die Grundlage für die einfache Nutzung in der aktuellen und in der zukünftigen Designumgebung gelegt.

Im Bereich der Constraintverifikation konnte ein Verfahren entwickelt werden mit dem es erstmalig möglich ist, frei definierbare sowie beliebig zusammenhängende und zyklenfreie Constraints zu verifizieren. Es wurde weiterhin ein neuartiges Floorplanningverfahren entwickelt, welches es ermöglicht, das Floorplanning frei constraint-gesteuert durchzuführen.

Das im Vorgängerprojekt LEONIDAS entwickelte Pinanschlussmodel konnte dahingehend erweitert werden, dass nun auch stromdichtegerechte Mehrfachanschlüsse bei beliebig komplexen Pingeometrien Berücksichtigung finden.

Weitere Einzelheiten können den unten abgedruckten Einzelberichten entnommen werden.

2.2.1 Beitrag 2.1.1: Constraints für Analoglayout (Bosch)

Um bei heutigen Entwicklungen die Funktionalität und die Zuverlässigkeit eines integrierten Schaltkreises (IC) zu sichern, sind Verifikationswerkzeuge erforderlich, die alle relevanten Entwurfsrandbedingungen (engl. Constraints) unabhängig von den eingesetzten Werkzeugen und der jeweiligen Entwurfsphase berücksichtigen. Dabei wird durch die steigende Anzahl von Bauelementen eine automatische Berücksichtig und Verifikation von Randbedingungen im Design immer wichtiger.

Die meisten der heute verfügbaren Verifikationswerkzeuge für den IC-Entwurf konzentrieren sich allein auf die schnelle Bearbeitung weniger, einfacher Verifikationsaufgaben. Demgegenüber ist es insbesondere für die Verifikation von analogen und mixed-signal ICs besonders wichtig, eine Vielzahl von komplex zusammenhängenden Randbedingungen zu berücksichtigen. Für diesen Zweck ist eine Vernetzung gewonnener Einzelverifikationsergebnisse zur Bearbeitung komplexer Verifikationsaufgaben notwendig, welche sich aber mit bisherigen Verifikationsansätzen aufgrund deren fehlender Flexibilität und Generalität nicht realisieren lässt.

Der vorliegende Bericht beschreibt die Ergebnisse der Aktivitäten des Instituts für Mikrosystemtechnik der Universität Siegen, die im Rahmen des LEONIDAS+ Projektes mit der Robert Bosch GmbH erstellt wurden. Der Schwerpunkt dieses Berichtes liegt dabei in der Beschreibung des innerhalb des Projektes neu entwickelten Systems einer EDA-werkzeugübergreifenden Verifikation. Das sogenannte Constraint-Engineering-System (CES) wird daher ab Kapitel 2.2.1.6 ausführlich beschrieben.

Stand der Technik

Um die geforderte Funktionalität einer Schaltung garantieren zu können, müssen während des gesamten Entwurfsablaufs Randbedingungen eingehalten werden. Dabei treten Randbedingungen zu unterschiedlichen Zeitpunkten während des Entwicklungsprozesses auf und beeinflussen alle Ebenen des Designflows. Die Einhaltung der Randbedingungen innerhalb eines Entwurfsschrittes wird in der Regel mit Verifikationswerkzeugen sichergestellt.

Ein Design durchläuft im Top-Down-Entwurf nacheinander z.B. die Architekturverifikation, die Logikverifikation, die Schaltkreisverifikation und die Layout-Verifikation. Die einzelnen Verifikationen arbeiten meist regelbasiert und verwenden in jeder Entwurfsebene einen Satz von Entwurfsregeln, die den Entwurfsprozess auf dieser Entwurfsebene beschränken. Diese Randbedingungen der einzelnen Entwurfsebenen liegen dabei entweder als formalisierte Daten, z.B. Design-Rules oder informell als individuelles Wissen und Erfahrung des Designingenieurs vor. Sie werden jeweils automatisch, EDA-werkzeugunterstützend (z.B. DRC) oder manuell überprüft. Für das Erreichen des nächsten Entwurfsschrittes ist ein positives Verifikationsergebnis nötig. Bei jeder Verifikation können jedoch Regelverstöße erkannt werden, die nur in der aktuellen oder einer höheren Entwurfsebene des Designflows behoben werden können. Daraus können sich unerwünschte Rückverzweigungen (Respins) ergeben, die u.U. zurück auf die oberste Entwurfsebene führen.

Anforderungen an eine Verifikation von komplexen Randbedingungen

Grundvoraussetzung für die Verifikation von komplexen Randbedingungen ist ein Ansatz, der es erlaubt, Randbedingungen auf eine Metaebene unabhängig von Entwurfswerkzeugen zu formulieren und später zu verifizieren. Zum Ermöglichen der automatisierten Verifikation komplexer Entwurfsrandbedingungen bedarf es daher:

- der eindeutigen und vollständigen Abbildbarkeit von Entwurfsrandbedingungen,
- der einheitlichen, abstrahierten, maschinell verarbeitbaren und werkzeugübergreifenden Darstellung von Entwurfsrandbedingungen und Verifikationsaufgaben,
- der Möglichkeit, relevante Entwurfsrandbedingungen zu jedem Zeitpunkt im Entwurfsfluss adressieren zu können,
- der Möglichkeit zum transparenten Zugriff auf alle relevanten Designinformationen

einer Verifikationsaufgabe.

- Diese Voraussetzungen implizieren, dass ein solches System mindestens folgende Funktionen bzw. Module enthält:
    - Eingabe und Ausgabe von designspezifischen Randbedingungen,
    - Solver, zum Auflösen von komplexen Randbedingungen und Verifikationsproblemen, Dieser Transformationsmechanismus muss die werkzeugunabhängig definierten Randbedingungen auf bekannte Verifikationsprobleme abbilden,
    - Rückgabefunktionen für die Verifikationsergebnisse.

Constraint-Logische-Programmierung und Constraint-Verifikation

Während es das Ziel bei der imperativen Programmierung ist, zu beschreiben, „wie“ man ein Problem löst, steht bei der logischen Programmierung die Problembeschreibung im Vordergrund, also „was“ das Problem ist. Die Idee der logischen Programmierung kommt daher der Constraint-Verarbeitung schon sehr nahe. Die Constraint-Logische-Programmierung (CLP) erweitert nun die logische Programmierung um den Begriff der Constraints. Unter Constraints versteht man in diesem Zusammenhang eine komplexe Menge von Gleichungen und Ungleichungen. Innerhalb der CLP erfolgt die Verarbeitung der Constraints zumeist durch so genannte domain-spezifische Constraint-Solver, die unter anderem Verfahren der Künstlichen Intelligenz (KI) benutzen.

Hierbei wird versucht möglichst früh alle gegebenen Constraints zu lösen, um ungültige Lösungen direkt ausschließen zu können. Dieses Verfahren ist auch als "constrain-and-generate" Paradigma bekannt. Dies steht im Gegensatz zu den sonst üblichen "generate-and-test" Paradigmen, bei denen ein vollständiger Suchbaum aufgespannt und auf gültige Lösungen durchsucht wird.

Bei der genauen Betrachtung der Constraint-Logischen-Programmierung fällt auf, dass gewisse Ähnlichkeiten zwischen den Aufgabengebiet der CLP und eine Constraint-Verifikation vorliegen. Insbesondere ist die CLP gut geeignet um einfache Objekte oder Beziehungen zwischen diesen zu beschreiben und auf dieser Menge verknüpfte Regeln zu formulieren. Dabei ist der große Vorteil der logischen Programmierung, dass sich der Entwickler keine Gedanken um die Auflösung dieser Regeln machen muss, da diese vom jeweiligen Constraint-Solver automatisch gelöst werden.

Beispiel:
object(id_1,met1,rect).
object(id_2,diff,path).
object(id_3,met1,rect).
object(id_4,nplus,polygon).
object(id_5,met1,rect).
object(id_6,met1,poly).
equal(X,Y):- object(X,X_layer,X_shape), object(Y,Y_layer,Y_shape),
X \= Y, X_layer = Y_layer, X_shape = Y_shape.

Im obigen Beispiel werden mit Hilfe der der Prolog-Notation entlehnten CLP-Sprachsyntax entlehnten Beschreibung sechs Objekte auf unterschiedlichen Layern und mit verschiedenen Formen angelegt. Die Regel *equal* beschreibt z.B. eine Überprüfung auf Gleichheit. Im obigen Beispiel sind zwei Objekte gleich, wenn sie sich auf dem gleichen Layer befinden und die gleiche Form besitzen, wobei Objekte, die zu sich selber gleich sind, ausgeschlossen werden.

Anhand dieser Regeln kann im CES explizit gefragt werden, ob die Objekte id_1 und id_2 gleich sind (*equal(id_1, id_2).)* Genauso gut kann aber auch implizit gefragt werden: Gibt es eine gleiches Objekt zu id_1 *(equal(id_1,X)*.). Oder gibt es Objekte die gleich sind (*equal(X,Y).).* Die jeweils richtige Lösung wird daraufhin vom Constraint-Solver generiert.

Mit Hilfe der CLP können so einfach und elegant Regeln für eine gegebene Datenmenge

formuliert werden. Eine einfache Abstandsregel, die alle Polygonpaare, die auf Layer Met1 liegen und deren Abstand (space) kleiner 10 ist, zurückgibt, könnte innerhalb des CES zum Beispiel folgendermaßen aussehen:

setof((X,Y), (layer(X,Met1), layer(Y,Met1), X/=Y, Space < 10).

Damit ein Constraint-Solver diese Regel auflösen kann, muss neben der Definition der Objekte und des Layers eine Routine zur Berechnung eines Abstandes formuliert sein. Eine solche Berechnung ist aber üblicherweise bereits in jedem Entwurfswerkzeug vorhanden.

Der entscheidende Idee für die Umsetzung des CES war nun, dass das CES selber alle Verifikationsanfragen auf einer werkzeugunabhängigen, übergeordneten CLP-Ebene bearbeitet, während alle Entwurfsdaten, komplizierten Berechnungen und Simulationen außerhalb des CES in hierfür optimierten Werkzeugen durchgeführt werden.

Das Constraint-Engineering-System (CES)

Mit den in Kapitel 0 definierten Anforderungen an eine werkzeugübergreifende Verifikation und dem im Kapitel 0 erwähnt CLP-Ansatz wurde das CES entwickelt. Im Folgenden werden die zentralen Elemente und Ideen des CES beschrieben.

Komplexe und einfache Constraints

Komplexe Constraints sind Randbedingungen, die sich nicht unmittelbar auf die von den Einzelverifikationswerkzeugen prüfbaren Gegebenheiten abbilden lassen. In der Regel handelt es sich dabei um Randbedingungen, deren Prüfung mehrere verschiedene Einzelverifikationswerkzeuge erfordert. Komplexe Constraints beschreiben in der Regel abstrakte Eigenschaften von Schematic- und/oder Layoutobjekten.

Einfache Constraints sind dagegen all die Randbedingungen, die sich unmittelbar mit einen Einzelverifikationstool prüfen lassen [24].

Konsistenzprüfung

Eine Konsistenzprüfung für komplexe Constraints soll sicherstellen, dass die zu prüfenden Constraints keine in sich widersprüchlichen Forderungen formalisieren. Solche Inkonsistenzen lassen sich häufig bereits durch eine Analyse der Constraints selbst ermitteln und erfordern somit nicht den Aufruf der Verifikationswerkzeuge. Inkonsistenzen sind in der Regel Hinweise auf Entwurfsfehler.

In der aktuellen Version des CES wurde nur eine Verifikation von einigen wenigen komplexen Randbedingungen durchgeführt. Eine Konsistenzprüfung ist in diesem Zusammenhang bisher noch nicht umgesetzt worden, sie wird aber für die Zukunft angestrebt.

CES und Metaverifikation

Das CES ist ein Metaverifikationswerkzeug, welches jeweils Teile des gesamten Verifikationsproblems an bereits vorhandene externe EDA-Werkzeuge übergibt. Das CES ermöglicht die Definition und Verarbeitung von neuen werkzeugübergreifenden Randbedingungen und Verifikationsproblemen.

Um außerdem die Möglichkeit zu unterstützen, zukünftige Randbedingungen und Verifikationstools nahtlos integrieren zu können, wurde für das CES eine konsistente Darstellung der Randbedingungen entwickelt. Zu diesem Zweck wurde für das CES eine formale Beschreibung beruhend auf Horn-Klauseln verwendet [25].

Innerhalb des CES findet weder eine eigenständige Validierung der Constraintdaten noch eine eigene Datenhaltung statt. Ebenso kann durch das CES keine Garantie der Vollständigkeit des Regelsatzes zur Sicherstellung der Funktionalität gegeben werden [24].

Architekturübersicht

Das CES baut auf den Konzepten des Constraint-Logic Programming (CLP) auf [26], [27].

Der Aufbau des CLP-basierten Logikkerns ist in Abb. 2.2.1-1 dargestellt. Der im Logikkern verwendete Formalismus führt zu einer Metaebene auf der Verifikationsaufgaben abstrakt formuliert werden können. Die Wissensbasis des CES-Logiksystems wird in Form von Horn-Klauseln bereitgestellt. Die statische Wissensbasis wird durch Regeln gebildet, die über verschiedene Verifikationsdurchläufe konstant bleiben. Im Gegensatz dazu liefern die Regeln aus der dynamischen Wissensbasis die werkzeugspezifischen, veränderlichen Designdaten und Randbedingungen. Innerhalb des CES wird die Wissensbasis in zwei Aspekte unterteilt:

Tool-Integration-Kit: Externe EDA-Werkzeuge exportieren Entwurfsdaten und Randbedingungen und bilden den dynamischen Aspekt der Wissensbasis. Alle zu benutzenden Funktionen eines EDA-Werkzeuges werden in spezifischen Tool-Integration-Kit-Plugins (TIK) zusammengefasst.

Constraint-Rule-File: Das Constraint-Rule-File enthält die Menge aller möglichen Anfragen, die an das CES innerhalb einer bestimmten Konfiguration gestellt werden können. Das Constraint-Rule-File ist ein Teil der statischen Wissensbasis des CES und ist von den bereitgestellten Regeln der externen Werkzeuge und den Support-Regeln abhängig. Klauseln höherer Ordnung bilden sog. Support-Rules um einen einfacheren Zugriff auf die unterliegende Wissensdatenbasis aus dem Constraint-Rule-File zu erhalten. Häufig verwendete Anfragen lassen sich somit kombinieren.

Allen oben genannten Aspekten ist die gleiche formale Darstellung innerhalb des CES gemein. Das CES kann somit auf jeden Wissensaspekt in uniformer Weise zugreifen. Dies schafft die Grundlage für die einheitliche und werkzeugübergreifende Darstellung und Verarbeitung von Randbedingungen (siehe Abb. 2.2.1-1).

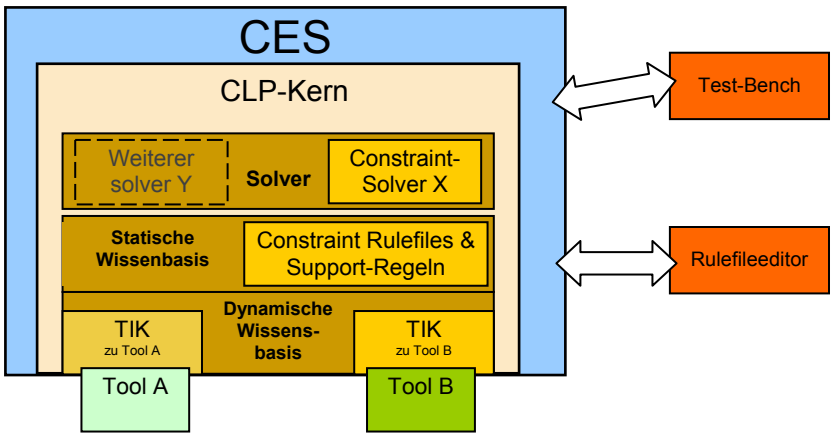


Abb. 2.2.1-1: CES-Architektur

Um auch künftigen Anforderungen gerecht zu werden, erlaubt es die Architektur des CES einen oder mehrere Constraint-Solver flexibel einzubinden. In der aktuellen Realisierung des CES ist ein Contraint-Solver, basierend auf dem Simplex-Verfahren über den reellen Zahlen, realisiert. Durch das Simplex-Verfahren ist der Lösungsraum prinzipiell auf lineare (Un-) Gleichungen beschränkt. Alternativ könnten beispielsweise zur Auswertung von polynomiellen (Un-)Gleichungen auch Gröbner-Basen eingesetzt werden [24].

Die in Abb. 2.2.1-1 dargestellten Werkzeuge Test-Bench und Rulefileeditor sind eigenständige Tools, die für das CES entwickelt wurden.

Tool Integration Kits (TIK)

Einer der Schlüsselfaktoren für die Flexibilität des CES ist die Anbindung externer EDA-Werkzeuge mit Hilfe von Tool-Integration-Kits. Für jedes externe EDA-Werkzeug wird ein eigenes TIK benötigt, das per Plugin-Mechanismus dem CES externe Werkzeugfähigkeiten zur Verfügung stellt. Ein TIK bietet jeweils für das spezifizierte Werkzeug eine standardisierte Schnittstelle, über die Funktionalitäten eines externen EDA-Werkzeuges in Form von Horn-

Klauseln in das CES integriert werden können. Ein TIK stellt dabei einen Transformationsmechanismus zur Verfügung, der die Syntax und Semantik von Randbedingungen ebenso wie alle verifikationsrelevanten Daten des Werkzeuges in die Semantik des CES übersetzt. Berechnungen, die nicht innerhalb des CES durchgeführt werden, werden ebenfalls durch diese Schnittstelle behandelt.

Test-Bench

Die Test-Bench erlaubt es, Anfragen an das CES zu stellen. Diese Anfragen werden daraufhin vom CES-Solver unter Ausnutzung der aktuellen CES-Wissensbasis bearbeitet. Die Arbeitsweise und Bedienung des CES-Solvers ist ähnlich der eines Prolog-Solvers. Jedoch kann der CES-Solver im Vergleich zu einem herkömmlichen Solver auch Daten der dynamischen Wissensbasis berücksichtigen. Diese Daten der dynamischen Wissensbasis werden erst während der Laufzeit mit Hilfe der über TIKs registrierten externen EDA-Werkzeuge generiert und erweitern somit die Wissensbasis um die Design-Datenmanagement- und Verifikationsmöglichkeiten der externen Verifikationswerkzeuge.

Rulefileeditor

Der für das CES entwickelte Rulefileeditor ermöglicht es, sowohl neue Rulefiles für die statische Wissensbasis zu definieren als auch bestehende Regeln zu ändern sowie neue Anfragen an die dynamische Wissensbasis zu generieren. Der Rulefileeditor gestattet die werkzeugübergreifende Entwicklung von Rulefiles und unterstützt die Entwicklung von weiteren TIKs zu neuen EDA-Werkzeugen.

Beispiel – Schaltungsstrukturerkennung

Für die Durchführung von komplexen Verifikationsaufgaben wurde für das CES ein regelbasierter Ansatz zur Strukturerkennung in Schaltplänen entwickelt. Dabei wurde für die Erkennung von Transistorgruppen das von [28] beschriebene Verfahren genutzt. Es ist hierbei zu erwähnen, dass die Strukturerkennung im CES im Gegensatz zu kommerziellen und proprietären Ansätzen allein auf vom Benutzer bereitgestellten Regelfiles beruht. Die Strukturerkennung und deren Verknüpfung mit Constraint-Transformations-, Propagierungs und Verifikationsfunktionen funktioniert somit auch werkzeugübergreifend, wenn alle notwendigen Datenquellen und EDA-Werkzeugfähigkeiten im CES registriert worden sind.

Ergebnisse

Mit dem im LEONIDAS+ Projekt entwickelten Constraint-Engineering-System der 1. Generation konnte erstmals gezeigt werden, dass eine werkzeugübergreifende Verifikation der Einhaltung von Constraints grundsätzlich möglich ist.

Innerhalb des CES können einfache und komplexe Randbedingungen als Teil der Datenbasis definiert werden, um anhand dieser einfache und komplexe Verifikationsaufgaben zu lösen. Die Definition von Randbedingungen und Verifikationsaufgaben geschieht hierbei in einer abstrakten, übergeordneten, werkzeugunabhängigen Metaebene und ermöglicht daher die Definition und Verarbeitung von werkzeugübergreifend definierten Randbedingungen. Das CES repräsentiert somit einen Ansatz für die Automatisierung von Verifikationsaufgaben, welche bisher manuell und allein durch die Expertise von IC-Entwicklern abgesichert werden mussten. Vorhandene Randbedingungsinformationen, die in externen Werkzeugen oder Constraint-Management-Systemen vorliegen, können leicht per Import-/Exportfunktionen integriert werden und ermöglichen so eine Verifikation von komplexen, werkzeugübergreifenden und miteinander verketteten Randbedingungen.

Um bei heutigen Entwicklungen die Funktionalität und die Zuverlässigkeit eines integrierten Schaltkreises (IC) zu sichern, sind Verifikationswerkzeuge erforderlich, die alle relevanten Entwurfsrandbedingungen unabhängig von den eingesetzten EDA-Werkzeugen und der jeweiligen Entwurfsphase berücksichtigen. Dabei wird durch die steigende Anzahl von Bauelementen eine automatische Berücksichtigung und Verifikation von Randbedingungen im Design immer entscheidender für den effizienten Designerfolg.

Die meisten der heute verfügbaren Verifikationswerkzeuge für den IC-Entwurf konzentrieren sich allein auf die schnelle Bearbeitung weniger, einfacher Verifikationsaufgaben. Demgegenüber ist es insbesondere für die Verifikation von analogen und mixed-signal ICs besonders wichtig, eine Vielzahl von komplex zusammenhängenden Randbedingungen zu berücksichtigen. Für diesen Zweck ist eine Vernetzung gewonnener Einzelverifikationsergebnisse zur Bearbeitung komplexer Verifikationsaufgaben notwendig, welche sich aber mit bisherigen Verifikationsansätzen aufgrund deren fehlender Flexibilität und Generalität nicht realisieren lässt.

Literatur

[24] J. Freuer, G. Jerke, A. Schäfer, K. Hahn, R. Brück, A. Nassaj, W. Nebel, „Ein Verfahren zur Verifikation hochkomplexer Randbedingungen beim IC-Entwurf, ANALOG, 2006

[25] A. Horn. On sentences which are true of direct unions of algebras. J. Symbolic Logic, 16:14–21, 1951.

[26] J. Jaffar, S. Michaylov, P. Stuckey, and R. Yap. The CLP(R) Language and System. ACM Trans. on Programming Languages and Systems, 14(3):339–395, July 1992.

[27] J. Cohen. Constraint logic programming languages. Commun. ACM, 33(7):52–68, 1990

[28] H. Gräb, S. Zizala, J. Eckmueller, K. Antreich, The Sizing Rules Method for Analog Integrated Circuit Design, ICCAD 2001: 343-349, 2001

2.2.2 Beitrag 2.1.2: Entwicklung von dynamischen IR-Drop Analysemethoden zur optimalen Platzierung von Stützkondensatoren (Infineon)

In der modernen mobilen Telekommunikationstechnik werden die Leistungsaufnahme und die für den Betrieb benötigten Versorgungsspannungen integrierter Bausteine immer weiter reduzieren. Dies bedeutet neue technische Anforderungen bereits im Entwicklungsstadium des Halbleiterdesigns. Bei immer weiter sinkenden Versorgungsspannungen werden die tolerablen Bereiche für derartige Pegelschwankungen immer kleiner und der Spannungsabfall kann zum unbeabsichtigten Schalten von Transistoren führen. Bei der Versorgung kann ein unerwünschter, aber in realen Schaltkreisen nicht völlig vermeidbarer, Spannungsabfall (IR-drop) auftreten. Man unterscheidet hier zwischen einem statischen (dU) und dem dynamischen (dU/dt) IR-drop, der meist kurz und sehr lokal an bestimmten Schaltungspunkten auftritt und im Normalfall um ein vielfaches höher liegt als der statische Wert. Ein Ziel des Schaltungsentwurfs ist die Vermeidung hoher auftretender IR-drop Werte und dem damit verbundenen logischen Fehlverhalten der Schaltung.

Um dieses Ziel zu erreichen, sind verschieden Ansätze denkbar, wie das Einbringen geeigneter Stützkondensatoren (Decap-Zellen), um die Spannungsschwankungen abfangen zu können. Bei diesem Zelltyp handelt es sich im Kern häufig um Polysilizium-Diffusions-Kapazitäten, welche den benötigten Kapazitätswert liefern können. Problematisch ist dabei die Tatsache, dass jene Polysilizium/Diffusions-Gebiete nur durch das sehr dünne Gateoxid getrennt werden, d.h. dass hier akut die Gefahr eines Durchschlags gegeben ist. Deswegen ist diese Art der Stützkondensatoren bei der Fertigung ein die Ausbeute begrenzender Faktor. Aus diesem Grund ist es eine technisch und wirtschaftlich interessante Fragestellung, den IR-drop mit Hilfe einer dynamischen Simulation zu analysieren, um so die optimale Anzahl und Platzierung von Decap-Zellen bestimmen zu können. Gleichzeitig darf die zu erwartende Ausbeute nicht wieder durch einen möglichen Stützkondensatorendurchschlag begrenzt werden.

In diesem Beitrag geht es um die Entwicklung und Analyse einer geeigneten Platzierungsmethodik, um den im Design auftretenden dynamischen IR-drop durch Platzierung von Stützkondensatoren effektiv nach Bedarf reduzieren zu können. Neben einer geeigneten Analysesoftware, an die dedizierte Anforderungen hinsichtlich des Funktionsumfangs gestellt wurden, ist eine Bestimmung des Effekts auf realen Schaltungen unerlässlich. Diese Untersuchungen sind die Basis für das gezielte Einbringen kapazitiver Füllzellen.

Nachdem der Auswahl einer geeigneten Software mussten nun Versuche auf möglichst realen Testdesigns durchgeführt werden. Hierzu wurden unterschiedliche Schaltungen exemplarisch analysiert, um ein geeignetes Beispiel für die Untersuchungen der verschiedenen Platzierungsmöglichkeiten zu finden. Die Wahl fiel auf ein kleines Standardzellendesign (Abb. 2.2.2-1) welches es ermöglicht, die große Anzahl an Simulationen bei relativ geringer Einzellaufzeit zeitnahe durchführen zu können.

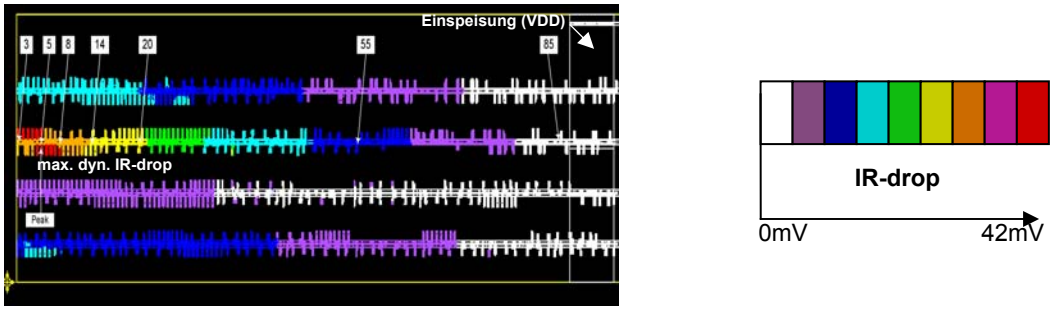


Abb. 2.2.2-1: links: dynamische IR-drop map (Power net) eines Standardzellenblocks ohne zus. Kapazität inkl. Abstandsmarkierungen (um), rechts: IR-drop Farbskala.

Abb. 2.2.2-1 zeigt die linke Hälfte des verwendeten kleinen Standardzellenblocks mit der Spannungseinspeisung für VDD und dem IR-drop Peak auf der linken Seite (rot markiert). Für die Versuchsreihen wurde im ersten Schritt direkt an dem in Design auftretenden maximalen IR-drop Knoten (hot spot) verschieden große kapazitive Terme zusätzlich in das Design eingebracht und in einem zweiten Schritt eine feste Kapazität in verschiedenen Abständen (Markierungen Abb. 2.2.2-1) zum IR-drop Peak platziert. Nach jeder Modifikation an Größe und Abstand wurde die Auswirkung auf den dynamischen IR-drop in einer Simulationen untersucht und die Ergebnisse in einer Kurve aufgetragen.

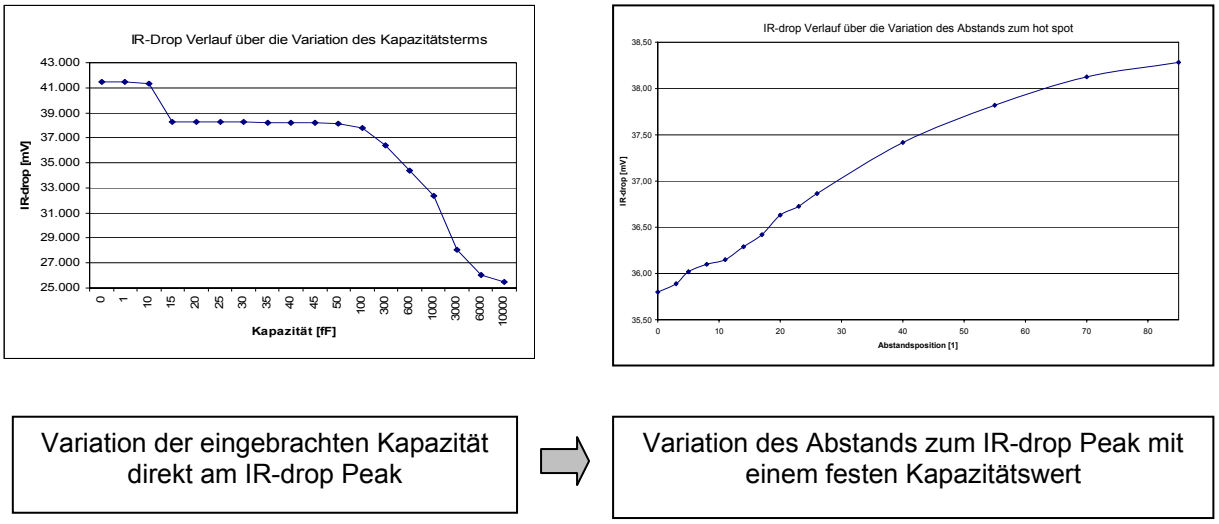


Abb. 2.2.2-2: Auswirkung auf den dynamischen IR-drop Peak durch Einbringen einer zus. Kapazität

Abb. 2.2.2-2 zeigt deutlich den direkten Einfluss der zusätzlichen Kapazität auf den Spannungsverlauf. Die linke Kurve stellt die Reduktion des dynamischen IR-drop Peak bei entsprechender Variation der eingebrachten Kapazität dar. Die rechte Kurve zeigt die Auswirkung durch verschiedene Platzierungspunkte einer festen Kapazität im relativen Abstand zum maximalen IR-drop Knoten.

Um die Wirkung der Stützkondensatoren zur Abschwächung der auftretenden Spannungsschwankungen optimal nutzen zu können, müssen diese möglichst dicht an dem „Peak“ platziert werden. Schaltungsbedingt ist dieser Ansatz meist nicht zu realisieren, ohne andere Zellen umzuplatzieren oder wertvollen Platz bereits im Vorfeld reserviert zu haben. Da die IR-drop Analyse in der Regel nach der finalen Platzierung und Verdrahtung erfolgt, braucht es einen Lösungsansatz, der Eingriffe in die Schaltung auf ein Minimum reduziert.

Diese Überlegung führte zu zwei Lösungsansätzen, bei denen bereits in der Schaltung vorhandene Füllzellen als so genannte Platzhalter gegen spezielle Zellen ausgetauscht werden. Typische Designs enthalten meistens schon Füllzellen, um für die spätere Prozessierung auf dem Silizium eine gleichmäßige Verteilung (Dichte) der Leitungsebenen zu gewährleisten. Diese Art der Schaltungsentwicklung kann dazu genutzt werden, bereits vorhandene Zellen bei Bedarf auszutauschen.

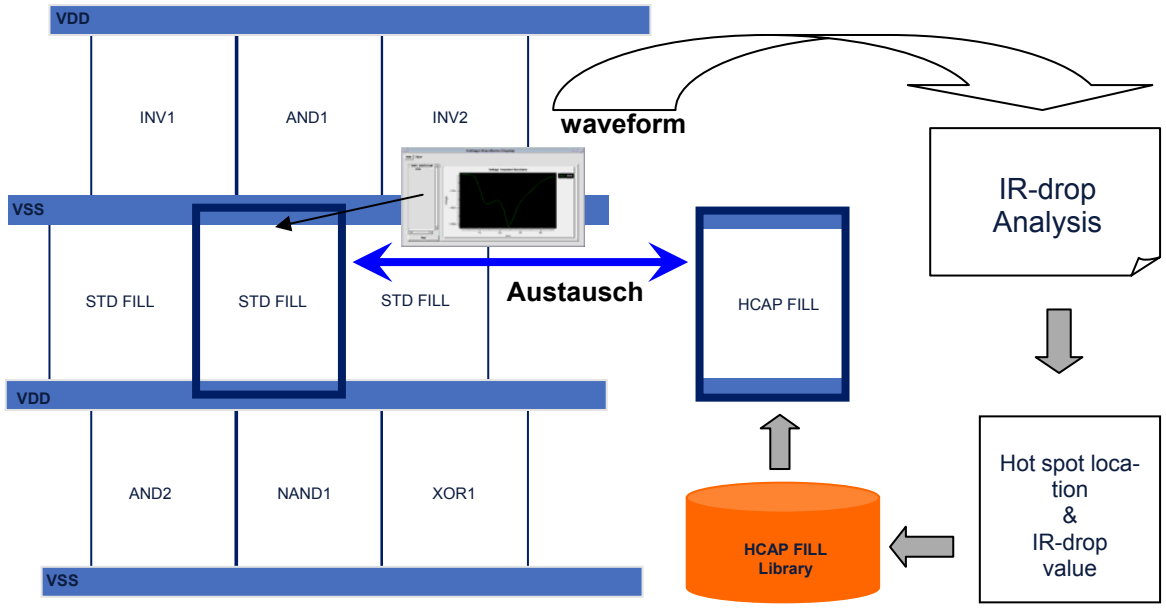


Abb. 2.2.2-3: Platzierungsmethodik zur Reduktion des dynamischen IR-drop durch den Austausch von Std.-Füllzellen gegen Decap-Zellen

Abb. 2.2.2-3 zeigt eine von zwei geeigneten Methoden zur Reduzierung des dynamischen IR-drop . Die Abbildung zeigt, dass das Ergebnis einer ersten IR-drop Analyse genutzt werden kann, nach Bedarf aus einer extra dafür zur Verfügung stehenden Bibliothek, eine vorhandene Standard-Füllzelle gegen eine kapazitive gleicher Bauart auszutauschen. Für einen Automatismus muss dabei der Abstand zum auftretenden „Peak“ und die Höhe des IR-drop berücksichtigt werden. Der zweite Ansatz sieht nach einem ähnlichen Prinzip vor, bereits während der Schaltungsentwicklung ausschließlich die kapazitiven Füllzellen zu verwenden. Diese Lösung birgt den Nachteil, dass durch den hohen prozentualen Anteil der speziellen Decap-Zellen die Ausbeute nachhaltig reduziert werden könnte. Daher verwendet man die Resultate der IR-drop Analyse bei diesem Ansatz dazu, in Bereichen, in denen der auftretende dynamischen IR-drop gering ausfällt oder wenig schaltungsrelevant ist, die vorhandenen kapazitiven Füllzellen wiederum gegen Standard-Füllzellen zurückzutauschen.

Aus den Untersuchungen lassen sich entsprechenden Rückschlüsse für die Weiterentwicklung geeigneter Decap-Zellen Bibliotheken ziehen, was wichtig für die optimale Auswahl und Platzierung von Stützkondensatoren ist. Auf Basis der Simulationsergebnisse konnten die beiden geeigneten Platzierungsmethoden ausgewählt und dann auf einigen realen Designdaten untersucht werden. Die Untersuchungen haben gezeigt, dass eine hohe Kapazität notwendig ist, um signifikante Änderungen erreichen zu können. In der Praxis ist es häufig nicht möglich, die benötigten Kapazitäten direkt an dem auftretenden IR-drop Peak platzieren zu können. Somit muss eine optimale, an das Design angepasste und weitestgehend automatisierte Auswahl eines Stützkondensators in Form einer Decap-Zelle erfolgen. Die Analysen an realen Designs und der Abgleich zu angebotenen semi-automatisierten Lösungen haben deutlich deren vorhandenen Lücken aufgezeigt. Die Integration der gewonnen Resultate in eine kommerzielle Softwarelösung ist die notwendige Voraussetzung für einen optimalen Einsatz in einem Design Flow.

Literatur:

[29] Infineon Technology AG: standard cell library databook

[30] Blaauw D., Panda R., Chaudhry R.; Design and Analysis of Power Distribution Networks, in Design of High-Performance Microprocessor Circuits, ed. Chandrakasan A., Bowhill W., Fox F.

2.2.3 Beitrag 2.1.3: Integriertes Constraint-Management-System für den Full-Custom-Entwurfsablauf (Infineon Technologies)

Ziel dieses Projektbeitrags war die Bereitstellung eines zentralen und integrierten Constraint-Management-System für den Fullcustom-Entwurfsablauf, das es ermöglicht, Randbedingungen (Constraints), die im gesamten Ablauf des Schaltungsentwurfs zu berücksichtigen sind, in den Entwurfsprozess einzugeben und dort konsistent verwalten und verwenden zu können.

Ursprünglich waren in den gängigen Entwurfssystemen keine kommerziellen Werkzeuge zur durchgängigen Verwaltung von Constraints verfügbar, daher sollten im Rahmen dieses Beitrags zunächst ein umfassendes Konzept und ein Prototyp eines zentralen Constraint-Management-Systems entwickelt werden. Nachdem die Firma Cadence für die DFII Version 6.1.0 eine sehr komfortable Lösung für ein System dieser Art angekündigt hatte, wurden die eigenen Entwicklungen zurückgestellt, da diese nicht konkurrenzfähig zu solch einer perfekten Integration von Cadence hätten sein können. Stattdessen konzentrierte man sich darauf, stärkeren Einfluss auf die Toolentwicklung bei Cadence zu gewinnen und möglichst alle Anforderungen der Projektpartner an ein Constraint-Management-System in die Entwicklung bei Cadence einfließen zu lassen. Die Vorarbeiten in LEONIDAS und die im Rahmen dieses Projektes erarbeiteten qualifizierten Anforderungen beeinflussten hierbei maßgeblich die Spezifikation und damit die spätere Entwicklung des von der Firma Cadence geplanten Constraint-Management-Systems.

Nachdem alle Typen von Nebenbedingungen, die im System bereitgestellt werden müssen, erfasst und strukturiert worden waren, erfolgte gemeinsam mit den IC-Entwicklern die Formulierung konkreter funktionaler Anforderungen, die an ein zukünftiges zentrales Constraint-Management-System zu stellen sind. Hierbei wurde zur Verbesserung der Akzeptanz eines zukünftigen Constraint-Management-Werkzeugs bei den Anwendern als wesentlicher Bestandteil eine übersichtliche und komfortabel zu bedienende graphische Benutzeroberfläche (GUI) gesehen und entsprechend detailliert spezifiziert.

Ein Augenmerk wurde auch auf eine effektive automatische Generierung von Constraints basierend auf einer automatischen Strukturerkennung gerichtet, da durch solch eine Funktionalität insbesondere für komplexe Schaltungen der Entwurfsaufwand drastisch reduziert werden kann.

Nach der Erarbeitung eines Anforderungskataloges und eines Konzeptes für die Erfassung und Datenhaltung von Nebenbedingungen wurde die Arbeitsweise der Designer im Entwicklungsablauf erfasst und in enger Zusammenarbeit mit der Firma Cadence in ein entsprechendes detailliertes Benutzungsmodell zur Erfassung, Übergabe und Auswertung von Constraints umgesetzt. Anschließend erfolgte in verschiedenen Treffen auf technischer Ebene mit der Entwicklungsabteilung von Cadence die Adressierung noch offener Punkte, wobei für die wichtigsten Themen eine Übereinstimmung zwischen Infineon und Cadence erzielt werden konnte. Da durch die enge Zusammenarbeit mit Cadence schon zu einem sehr frühen Zeitpunkt eine Vorabversion des Constraint-Management-Systems zur Verfügung stand, konnten hier auch schon erste mit dem System gemachte Erfahrungen diskutiert und potentielle Verbesserungsmöglichkeiten identifiziert werden.

Um sicherzustellen, dass bei dem definierten Modell unterschiedliche Arbeitsweisen im Entwicklungsablauf abgedeckt werden können, wurden die erarbeiteten Konzepte einer Anzahl von Entwicklern präsentiert. Auch hier ergab sich eine Zustimmung in den wichtigsten Punkten des vorgestellten Modells.

Das definierte Benutzungsmodell für ein zukünftiges Constraint-Management-System wurde anschließend an die Softwareentwicklungsabteilung bei Cadence weitergeleitet und diente dort als Grundlage für die Implementierung solch eines Systems. Somit war sichergestellt, dass bei zukünftigen Weiterentwicklungen durch Cadence unsere Anforderungen berücksichtigt werden.

Erreichte Ergebnisse

Ein Prototyp des Cadence Constraint-Management-Systems steht zur Verfügung, so dass ein Vergleich der im Rahmen von LEONIDAS/LEONIDAS+ gemeinsam mit den Projektpartnern erarbeiteten funktionalen Anforderungen mit der Funktionalität der bereitgestellten Software möglich wurde und das System an den zum Nachweis der Leistungsfähigkeit erstellten und mit entsprechenden Nebenbedingungen versehenen Testbeispielen erprobt werden konnte. Durch die enge Kooperation mit der Firma Cadence sind viele Eigenschaften des gemeinsam erarbeiteten LEONIDAS-Ansatzes in diese Lösung eingeflossen. So wurde ein wesentlicher Teil unser Anforderungen wie z.B. die Strukturerkennung in Kombination mit einer automatischen Generierung von Constraints, die Verfügbarkeit einer offenen Programmierschnittstelle oder die Möglichkeit der Definition zusätzlicher anwenderspezifischer Constraints bereits implementiert, wodurch die praktische Anwendbarkeit der früher definierten Konzepte und Strukturen gezeigt werden konnte.

Die wichtigsten Ergebnisse im Einzelnen

- Graphische Benutzeroberfläche:
  Cadence stellt eine komfortable Benutzeroberfläche bereit, die eine effiziente und intuitive Handhabung der Constraints erlaubt.
- Offenheit des Systems:
  Ein wesentliches Ziel war es, ein möglichst offenes System anzulegen, so dass es durch anwender- oder projektspezifische Anpassungen jederzeit erweiterbar ist. Diese geforderte Flexibilität steht im Cadence-System zur Verfügung.
- Strukturerkennung/automatische Generierung von Constraints:
  Für komplexe integrierte Schaltungen kann die Eingabe von Nebenbedingungen sehr umfangreich werden. Damit nicht alle diese Bedingungen von Hand vergeben werden müssen, sollte neben der manuellen Eingabe von Constraints ein Werkzeug zur Verfügung stehen, das basierend auf der Erkennung gewisser vordefinierter Schaltungsstrukuren wie z.B. eines Stromspiegels bestimmte Constraints automatisch generiert.
  Im Cadence Constraint-Management-System wird eine Unterstützung der Automatisierung durch das Werkzeug '*Circuit Prospector'* angeboten, auch die von uns geforderte Flexibilität ist im vorliegenden Cadence-System gegeben. Erweiterungen durch anwenderspezifische Anpassungen und Ergänzungen sind jederzeit möglich. Der Anwender hat sowohl die Möglichkeit, eigene Schaltungsstrukturen zu definieren als auch zu bestimmen, welche Constraints automatisch generiert werden sollen.
- Anwenderspezifische Constraint-Typen:
  Im vorliegenden Constraint-Management-System der Firma Cadence ist die Vollständigkeit der Constraint-Typen im Wesentlichen gegeben, alle wichtigen Arten von Nebenbedingungen werden standardmäßig vom System unterstützt. Darüber hinaus ist aber auch die Definition zusätzlicher anwenderspezifischer Constraint-Typen und deren Verwaltung und Verwendung im zentralen Constraint-Management-System möglich.
- Export und Import von Constraints / API:
  Eine der wichtigsten Anforderungen an ein Constraint-Management-System, die im Rahmen des Projektes erarbeitet wurden, ist die Bereitstellung einer offenen Programmierschnittstelle ('*API', 'Application Programming Interface'*), die ein Ein- und Auslesen aller Constraint-Informationen und somit auch eine Wiederverwendung der einmal spezifizierten Nebenbedingungen zu einem späteren Zeitpunkt oder eine Anbindung von Werkzeugen anderer Anbieter (*'Third-Party-Tools'*) ermöglicht.
  Bei dem von der Firma Cadence angebotenen Constraint-Management-System wurde diese Anforderung bereits implementiert; es wird eine Anzahl von Funktionen bereitgestellt, die einen vollständigen komfortablen Zugriff auf alle Informationen der Constraint-Datenbasis mittels *'Skill'*-Prozeduren ermöglichen (erzeugen, ändern, löschen). Die Schnittstelle ist so implementiert, dass jedes Constraint abgesehen von einer Konvertierung des Datenformates von jedem beliebigen Werkzeug anderer Anbieter verwendet werden kann.

Für den größten Teil unserer sonstigen Anforderungen liegen konkrete Zusagen von Cadence und Termine für die geplante Implementierung vor, eine Übersicht über diese und auch andere bereits implementierte Punkte zeigt die folgende Tabelle (vgl. Berichte zu den Meilensteinen M2 und M3 vom 31.08.2006 und vom 28.02.2007).

Anzeige des verwendeten Constraint-Satzes während der Schaltplaneingabe	IC 6.1.0 ✓
Editierbarkeit der Constraints für Layouter (auch zum Informationsaustausch)	IC 6.1.0 ✓
Unterstützung verschiedener Schaltungskonfigurationen	IC 6.1.0 ✓ CPH: 6.1.2 (Q4/2007)
PDK-spezifische Anpassungen	IC 6.1.0 ✓
Verfolgung von Constraint-Änderungen	IC 6.1.x (niedrige Priorität)
Verfolgung des Constraint-Status	IC 6.1.2
Sortierung/Filterung von Constraints	IC 6.1.2 (erste Ansätze bereits vorhanden)
Kopieren von Constraints	IC 6.1.2
Beibehaltung der logischen Gruppen	IC 6.1.2
Lösung für Konflikte während 'Update Layout Constraints'	IC 6.1.2
Zurückschreiben der Layout-Constraints in den Schaltplan / Constraint-feine Archivierung	IC 6.1.2
Vollständige 'undo'-Möglichkeit für Constraint-Anwendungen in Schematic und Layout	IC 6.1.x
Speicherung des bei der Layoutgenerierung verwendeten Schematic- und Constraint-Views	IC 6.2.0 ('need release')
Priorisierung von Constraints	offen
Constraint LVS Tool	1. Vergleich Schematic-Layout: IC 6.1.0✓ 2. Extraktion für „Sign-Off": IC 6.? (Assura)

Zusammenfassung

Das Ziel dieses Beitrags, die Bereitstellung eines zentralen durchgängigen Constraint-Management-Systems für den Fullcustom-Entwurfsablauf wurde erreicht.
Von der Formulierung konkreter Anforderungen an solch ein System bis zur Bereitstellung eines Prototyps, der im wesentlichen alle im Rahmen des Projekts erarbeiteten Anforderungen erfüllt, und dessen Anwendung auf Testbeispiele konnten alle Meilensteine pünktlich erreicht werden.

Durch das gemeinsame Auftreten als Konsortium gegenüber dem EDA-Hersteller Cadence steht nun ein kommerzielles Werkzeug zur Verfügung, das bereits auch bei den Projektpartnern Atmel und Bosch erprobt wurde

2.2.4 Beitrag 2.2.1: Parasitensymmetrisches Routing und Constraint-Verifikation, Beitrag 2.2.3: Multi-Constrained Busrouting

Die beiden Beiträge entstanden in enger Zusammenarbeit der Firma Atmel Germany GmbH mit dem Institut für Mikroelektronische Systeme der Leibniz Universität Hannover. Ihre Ziele können prinzipiell in zwei Themengebiete unterteilt werden. Der bereits im Rahmen des Projekts LEONIDAS entstandene Verdrahter PARSY sollte weiterentwickelt werden und es sollten neue Möglichkeiten für die Berücksichtigung der parasitären Effekte erarbeitet werden.

Zahlreiche Verbesserungen bzgl. der Grundfunktionalität des Verdrahters wurden im ersten Themenbereich erzielt, von denen die verbesserte Platzierung der virtuellen Terminals und die automatische Berechnung der Netzreihenfolge besonders zu erwähnen sind. Überdies wurden neue Modulgeneratoren entwickelt, die den Ausgleich der parasitären Effekte ermöglichen. Die Nutzbarkeit wurde durch die Integration des Verdrahters in den Cadence-Entwurfsprozess verbessert und seine Akzeptanz durch den Anwender vergrößert. Es wurden zwei unterschiedliche Ansätze verfolgt, um eine schnell implementierbare sowie sofort nutzbare Lösung (Skill-Ansatz) dem Anwender zu bieten und um eine zukunftsorientierte und herstellerunabhängige Lösung (OpenAccess-Ansatz) zu erarbeiten. In der letzten Phase der Arbeiten wurde eine nicht-orthogonale Verdrahtung prototypisch implementiert, um durch bessere Verdrahtungsergebnisse die Akzeptanz des Tools noch weiter zu erhöhen.

Im zweiten Themenbereich wurden zunächst die Ausgleichsmaßnahmen mit Analysewerkzeugen untersucht, um deren Wirksamkeit nachzuweisen. Bei diesen Arbeiten wurden die parasitären Widerstände, Kapazitäten und Induktivitäten betrachtet. Anschließend wurden Abschätzungsmethoden für parasitäre Induktivitäten, die der Fachliteratur bekannt sind, untersucht und für die Verwendung im Verdrahter verifiziert. Diese Betrachtungen führten zur Erarbeitung einer Abstandsmethode, die einen akzeptablen und vom Benutzer beeinflussbaren Kompromiss zwischen der Rechengenauigkeit und Rechengeschwindigkeit darstellt. Die letzte Phase der Arbeiten konzentrierte sich auf die Entwicklung einer Verifikationsumgebung, die eine Aussage über die Qualität der Verdrahtungsergebnisse bzgl. der parasitensymmetrischen Verdrahtung ermöglicht.

Erweiterung des Verdrahters PARSY

Die Betrachtung der Erweiterung des Verdrahters erfordert eine Definition von einigen Begriffen, um eine eindeutige Darstellung zur ermöglichen. Es handelt sich dabei um Begriffe, die keine eindeutige Verwendung in der Fachliteratur finden. Die Abb. 2.2.4-1 gibt einen Überblick über die Begriffe.

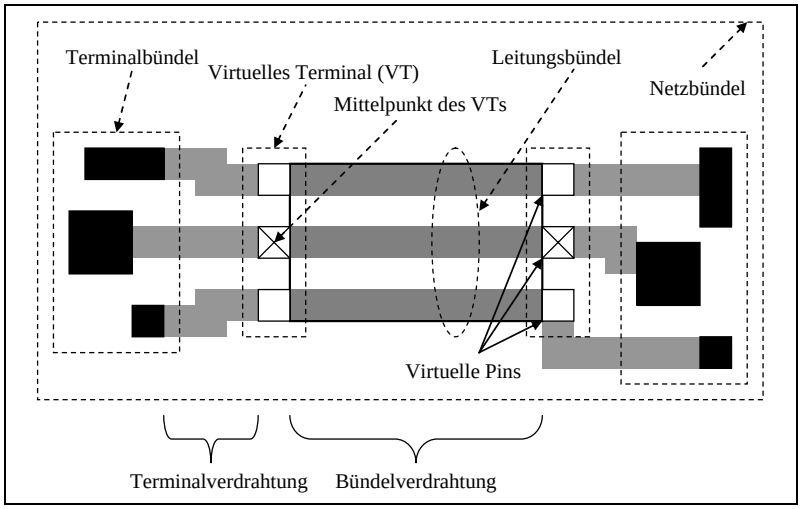


Abb. 2.2.4-1 Begriffsdefinition

- Terminalbündel: Ein Terminalbündel ist eine logische Zusammenfassung von Termi-

nals verschiedener Netze.

- Netzbündel: Ein Netzbündel ist eine logische Zusammenfassung von Terminalbündeln.
- Leitungsbündel: Ein Leitungsbündel stellt die geometrische Entsprechung eines Netzbündels dar. Innerhalb des Verdrahters PARSY werden Leitungsbündel von Modulgeneratoren erzeugt.
- Virtuelles Terminal: Ein virtuelles Terminal stellt eine logische Schnittstelle zwischen den beiden Phasen des Verdrahtungsvorgangs dar. Für jedes Terminalbündel werden bis zu vier virtuelle Terminals berechnet. Ein virtuelles Terminal besteht aus der Anzahl der Netze entsprechenden Menge von virtuellen Pins.
- Bündelverdrahtung: Die Bündelverdrahtung stellt die erste Phase des Verdrahtungsvorgangs dar. Sie sucht einen Weg zwischen den einzelnen Mittelpunkten der virtuellen Terminals und verbindet somit die einzelnen Terminalbündel eines Netzbündels. Das Endergebnis der Bündelverdrahtung stellen die Leitungsbündel dar.
- Terminalverdrahtung: Die Terminalverdrahtung verbindet die einzelnen virtuellen Pins mit den „echten“ Terminals der Schaltung.
- Netzreihenfolge: Die Netzreihenfolge (vgl. [73]) stellt eine Zuordnungsvorschrift zwischen den Netzen und den jeweiligen Leitungen eines Leitungsbündels dar. Es sei ausdrücklich darauf hingewiesen, dass die Netzreihenfolge in keinem Zusammenhang mit der Verdrahtungsreihenfolge der einzelnen Netze steht.

Platzierung der virtuellen Terminals

Für jedes Terminalbündel werden bis zu vier virtuelle Terminals berechnet. Die Anzahl der virtuellen Terminals hängt von den lokalen Gegebenheiten des Terminalbündels ab, da jedes virtuelle Terminal und insbesondere seine virtuellen Pins den Entwurfsregeln entsprechen müssen. Als mögliche Positionen werden die Layoutbereiche oberhalb, unterhalb, links und rechts des Terminalbündels betrachtet. Bei der Platzierung jedes einzelnen virtuellen Terminals ergeben sich zwei Freiheitsgrade, die durch die Abb. 2.2.4-2 dargestellt werden. Es handelt sich dabei um den Abstand des virtuellen Terminals von dem Terminalbündel sowie dessen relative Position.

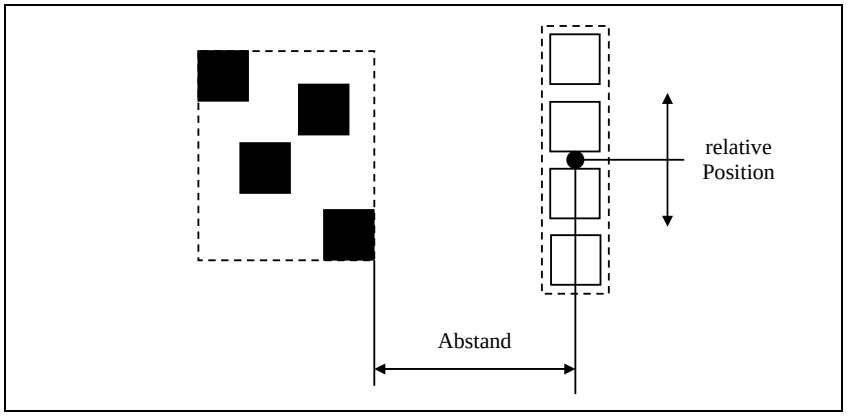


Abb. 2.2.4-2 Platzierung eines virtuellen Terminals

Der Abstand des virtuellen Terminals von dem Terminalbündel hat einen enormen Einfluss auf die Qualität der Gesamtverdrahtung. Ein zu nah platziertes virtuelles Terminal verhindert die erfolgreiche Terminalverdrahtung. Ein weit entfernt platziertes virtuelles Terminal hat eine große Länge der Leitungen der Terminalverdrahtung sowie eine kleine Länge der Leitungsbündel zur Folge. Dies führt zu einem geringen Einfluss der Leitungsbündel auf die symmetrische Verteilung der parasitären Effekte und führt den gewählten Ansatz ad absurdum. Aus diesem Grund muss bei der Berechnung des Abstandes stets zwischen den beiden Extremfällen optimiert werden.

Bei der Berechnung des Abstandes werden zwei Faktoren betrachtet. Zum einen ist es die Anzahl der Terminals und zum anderen die Dichte der Terminals innerhalb eines Terminalbündels. Auf Grund der zum Zeitpunkt der Platzierung der virtuellen Terminals unbekannten Netzreihenfolge wird von dem ungünstigsten Fall der Reihenfolge ausgegangen.

Bei der Auswahl der virtuellen Terminals handelt es sich auf Grund der verschiedenen möglichen Lösungen um ein Optimierungsproblem, für das eine Kostenfunktion notwendig ist, die als Maßstab für die Qualität eines virtuellen Terminals bzgl. der Terminalverdrahtung dient. Die bei der Bewertung der virtuellen Terminals verwendete Kostenfunktion (vgl. (1)) hängt von den Symmetriekosten $K_{Symmetrie}$, Überdeckungskosten $K_{Überdeckung}$ und Kosten für Längendifferenzen $K_{Längendifferenz}$ ab.

$$K_{Gesamt} = K_{Symmetrie} + K_{Überdeckung} + K_{Längendifferenz} \quad (1)$$

Die Symmetriekosten werden auf der Grundlage des Verhältnisses zwischen als symmetrisch definierten Netzen und symmetrisch[1] verdrahtbaren Netzen bestimmt. Bei den Überlappungskosten wird der Grad der Abschattung bzgl. eines bestimmten virtuellen Terminals bestimmt. Dieser beschreibt die Verdeckung eines Terminals durch andere Terminals bezogen auf die einzelnen virtuellen Pins. Als letzter Kostenfaktor wird die gesamte Längendifferenz aller Netze innerhalb eines Terminalbündels betrachtet, wobei hier mit einer Abschätzung der Verdrahtungslänge gearbeitet wird.

Automatische Berechnung der Netzreihenfolge

Die Berechnung der Netzreihenfolge (vgl. [73]) verbessert die Ergebnisse der Terminalverdrahtung und trägt zur Verbesserung des Gesamtverdrahtungsergebnisses bzgl. der parasitären Effekte bei. Sie erfolgt während des Verdrahtungsprozesses zweimal und betrachtet zunächst die bevorzugten und dann die gewählten virtuellen Terminals, wobei ein bevorzugtes virtuelles Terminal das kostengünstigste und ein gewähltes das durch die Bündelverdrahtung tatsächlich verwendete virtuelle Terminal ist. Beide Vorgänge basieren auf dem gleichen Algorithmus, der jedoch bei der zweiten Berechnung eingeschränkt wird.

Während der ersten Berechnung der Netzreihenfolge wird zunächst für jedes bevorzugte virtuelle Terminal eine bevorzugte Netzreihenfolge bestimmt. Es handelt sich dabei um die aus der Sicht des virtuellen Terminals optimale Netzreihenfolge gemäß der Kostenfunktion. Die Beschränkung auf die Betrachtung der bevorzugten virtuellen Terminals soll niedrige Laufzeiten gewährleisten sowie eine Beeinflussung des Endergebnisses durch nichtbevorzugte virtuelle Terminals verhindern. Im nächsten Schritt wird eine alternative Netzreihenfolge berechnet, die möglichst viele Eigenschaften der vorhandenen Netzreihenfolgen beinhalten soll. Die alternative Netzreihenfolge stellt eine Kompromisslösung dar. In den nächsten Schritten werden die Netzreihenfolgen der virtuellen Terminals sowie die alternative Netzreihenfolge als gleichwertig behandelt. Die Bewertung der Netzreihenfolgen ermöglicht die Wahl der besten Netzreihenfolge. Faktoren für die Bewertung sind Längendifferenzen und Gesamtlänge sowie die Einhaltbarkeit der symmetrischen Verdrahtung gemäß den Vorgaben innerhalb der Terminalverdrahtung. Überdies gehen die sich aus der Netzreihenfolge ergebenden Leitungsüberschneidungen ein. Alle vier Kriterien stellen selbstverständlich eine Abschätzung des Endergebnisses dar. Im vierten Schritt wird die beste Netzreihenfolge für die weitere Verwendung ausgewählt und als terminalbündelweit gültig eingetragen. Der letzte Schritt bestimmt für jedes virtuelle Terminal einen Spiegelungsindikator, der die Position des ersten Pins innerhalb eines virtuellen Terminals signalisiert. An dieser Stelle werden auch die nichtbevorzugten[2] virtuellen Terminals betrachtet, da sie ebenfalls für die Verdrahtung verwendet werden können.

Die zweite Berechnung der Netzreihenfolge betrachtet die tatsächlich durch die Bündelverdrahtung verwendeten virtuellen Terminals. In dieser Phase kann keine Veränderung der Spiegelungsindikatoren erfolgen, da der Verlauf der Leitungsbündel und die damit verbunde-

[1] Als symmetrische Netze gelten in diesem Zusammenhang Netze, die einen identischen Verlauf bzgl. der parasitären Effekte haben.

[2] Die Bevorzugung erfolgt zunächst aus der lokalen Sicht der Terminalverdrahtung und kann aus der globalen Sicht revidiert werden.

ne Spiegelung der Leitungsbündel festgelegt sind. Die restlichen Schritte der Berechnung sind identisch.

Modulgeneratoren

Die bereits erwähnte Zusammenfassung der Netze bei der Verdrahtung reduziert zunächst den Verdrahtungsvorgang der Bündelverdrahtung, die im Folgenden ausschließlich betrachtet wird, auf die Verdrahtung einer Leitung mit der Breite des gesamten Leitungsbündels. Es stehen nach der erfolgreichen Durchführung der Verdrahtung Informationen über den Verlauf der Leitungsbündel in der Form eines ungerichteten Graphs zur Verfügung. Mit diesen Informationen wird für jede Kante des Graphs ein Modulgenerator aufgerufen, der die Layoutinformationen des Netzbündels erzeugt und somit das Leitungsbündel generiert.

Das Konzept der Modulgeneratoren ist sehr mächtig, da alle denkbaren Layoutstrukturen und -elemente durch die Modulgeneratoren anhand von Parametern erzeugt werden können. Er stellt somit eine Vereinfachung der manuellen Layoutgenerierung sowie Erleichterung bei der Entwicklung neuer EDA-Werkzeuge dar. Außerdem erlaubt die Verwendung der Modulgeneratoren eine gewisse Technologieunabhängigkeit, da die Erzeugung der jeweiligen Layoutstrukturen auf die Implementierung der Modulgeneratoren verlagert wird, die dann entsprechend mit Technologieregeln parametrisiert werden können.

Der Verdrahter PARSY setzt einen einzigen Modulgenerator ein, der drei unterschiedliche Module generieren kann. Diese Zusammenfassung ist eine eher programmiertechnische Maßnahme, so dass der Modulgenerator im Folgenden als drei separate Modulgeneratoren mit einem identischen Parameterset betrachtet wird. Neben den üblichen geraden Leitungsbündeln werden Ausgleichsmodule für parasitären Widerstände und Kapazitäten (RC-Ausgleich) sowie ausschließlich für parasitäre Kapazitäten (C-Ausgleich) verwendet. Beide Module werden durch die Abb. 2.2.4-3 dargestellt.

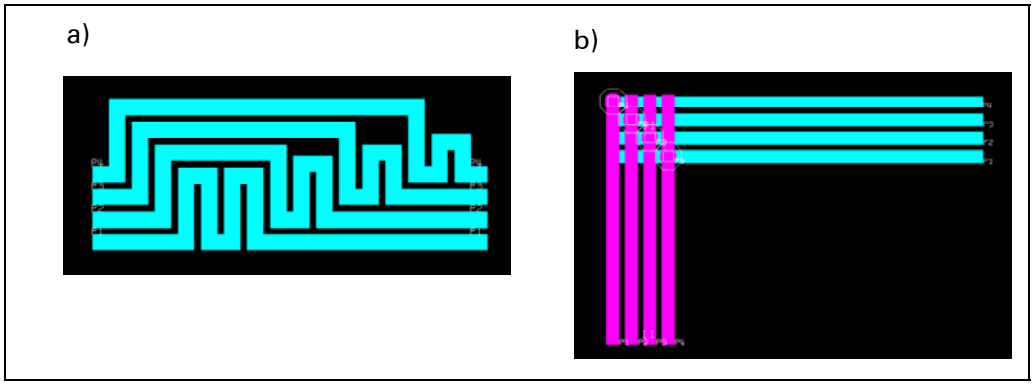


Abb. 2.2.4-3 Ausgleichsmodule: a) RC-Ausgleich; b) C-Ausgleich

Die RC-Ausgleichmodule gleichen die Differenzen der parasitären Kapazitäten und Widerstände durch den Ausgleich der Längendifferenzen der einzelnen Leitungen mithilfe von Wellenstrukturen aus. Zudem erzeugen sie eine identische Anzahl von Knicken innerhalb einer Leitung, um mögliche Randeffekte, die von dem verwendeten Modell des Längenausgleichs nicht berücksichtigt werden, ebenfalls auszugleichen. Für die Erzeugung dieser Ausgleichsstruktur wurde ein Algorithmus entwickelt, der die Anzahl der Wellenstrukturen sowie deren Höhe und Breite bestimmt (vgl. [72]). Für die Verwendung der RC-Ausgleichsmodule wurde eine Schnittstelle definiert, die eine aktive Beeinflussung der Generierung seitens des Benutzers ermöglicht, so dass u. a. die Breite der Wellenstrukturen und die maximale Breite des Moduls vorgegeben werden können.

Der Ausgleich der Differenzen der parasitären Widerstände und Kapazitäten erhöht den Platzbedarf der Verdrahtung, da die Ausgleichsmodule außerhalb des Bündels liegen und somit zusätzlichen Platz benötigen. Ein bereits in der Praxis verwendeter Ansatz ist es ausschließlich die Differenzen der parasitären Kapazitäten (C-Ausgleich) auszugleichen. Der C-Ausgleich basiert wie der RC-Ausgleich auf dem Ausgleich der Längendifferenzen. Es wird

sichergestellt, dass jede Leitung innerhalb des Leitungsbündels identische Länge[3] aufweist, um insbesondere die Kapazitäten zwischen der jeweiligen Leitung und dem Substrat auf dem gleichen Niveau zu halten. Der Ausgleichsmodulgenerator verlängert ein gewöhnliches gerades Leitungsbündel mit einer schrägen Kante, so dass es eine gerade Kante erhält. Die Position der Pins bzw. Durchkontaktierungen bleibt dabei erhalten. Nachteil dieser Vorgehensweise ist die Notwendigkeit des Wechsels der Verdrahtungsebene, die den Einsatz von Durchkontaktierungen erfordert.

Integration des Verdrahters in einen Entwurfsprozess

Die Akzeptanz eines EDA-Werkzeugs hängt im Allgemeinen nicht ausschließlich von rein technischen Aspekten ab, wie z.B. der Qualität der Ergebnisse bzw. der Rechengeschwindigkeit. Oft spielen Faktoren wie etwa die Bedienbarkeit eine ebenso wichtige Rolle. Aus diesem Grund stellt die Integration des Verdrahters PARSY in einen bestehenden Entwurfsprozess einen wichtigen Arbeitspunkt dar. Überdies führt die Integration eines EDA-Werkzeugs zur Erhöhung der Produktivität der Entwickler, indem sie die manuellen Eingriffe in den Entwurfsprozess verringert. Im Rahmen der Arbeiten wurden zwei Ansätze der Integration entwickelt und implementiert. Es handelt sich dabei zum einen um die gemeinsame Datenhaltung aller am Entwurfsprozess beteiligten Werkzeuge und zum anderen um Konvertierungsmechanismen, die die benötigten Daten in ein werkzeugspezifisches Format zur Verfügung stellen.

Das erste Konzept wird aktuell in der EDA-Branche mit OpenAccess verfolgt. OpenAccess stellt einen Standard dar, der eine gemeinsame Datenhaltung ermöglicht. Zu den großen Vorteilen dieses Ansatzes zählt das Wegfallen von Konvertierungsschritten, die rechenzeitaufwendig sind und zum Verlust von Informationen führen können. Überdies entfällt der Integrationsaufwand bei der Erweiterung eines bestehenden Entwurfsprozesses, wenn das neue EDA-Werkzeug seine Daten innerhalb einer OpenAccess-Datenbank verwaltet oder eine interne OpenAccess-Schnittstelle besitzt. Im Rahmen des LEONIDAS+ Projektes wurde eine OpenAccess-Schnittstelle entwickelt, die die Konvertierung der Daten des Verdrahters PARSY ermöglich und somit eine dateibasierte Anknüpfung an eine OpenAccess-Datenbank zur Verfügung stellt. Zu den Nachteilen dieses Ansatzes sind die zurzeit noch mangelnde Verfügbarkeit von OpenAccess-Werkzeugen und die Kostenpflichtigkeit der Verwendung der API, die die Zugriffe auf die OpenAccess-Datenbank ermöglicht, zu nennen.

Das zweite Konzept, das durch die Abb. 2.2.4-4 verdeutlicht wird, wurde im Rahmen der LEONIDAS+ Arbeiten mit der Cadence-internen Skriptsprache Skill umgesetzt. Mit Hilfe dieser Skriptsprache ist es möglich die Layoutinformationen aus der internen Datenbasis der Cadence-Umgebung auszulesen und anschließend in das PARIS-Format [31], das von dem Verdrahter verwendet wird, zur konvertieren. Im zweiten Schritt kann der Benutzer den Verdrahtungsvorgang aus der Cadence-Umgebung startet. Die Ergebnisse der Verdrahtung werden im letzten Schritt durch ebenfalls Skill-Routinen in die interne Datenbasis eingelesen, so dass das vollständige Layout verfügbar ist.

[3] Es sei an dieser Stelle angemerkt, dass die widerstandbestimmende effektive Leitungslänge nicht ausgeglichen wird.

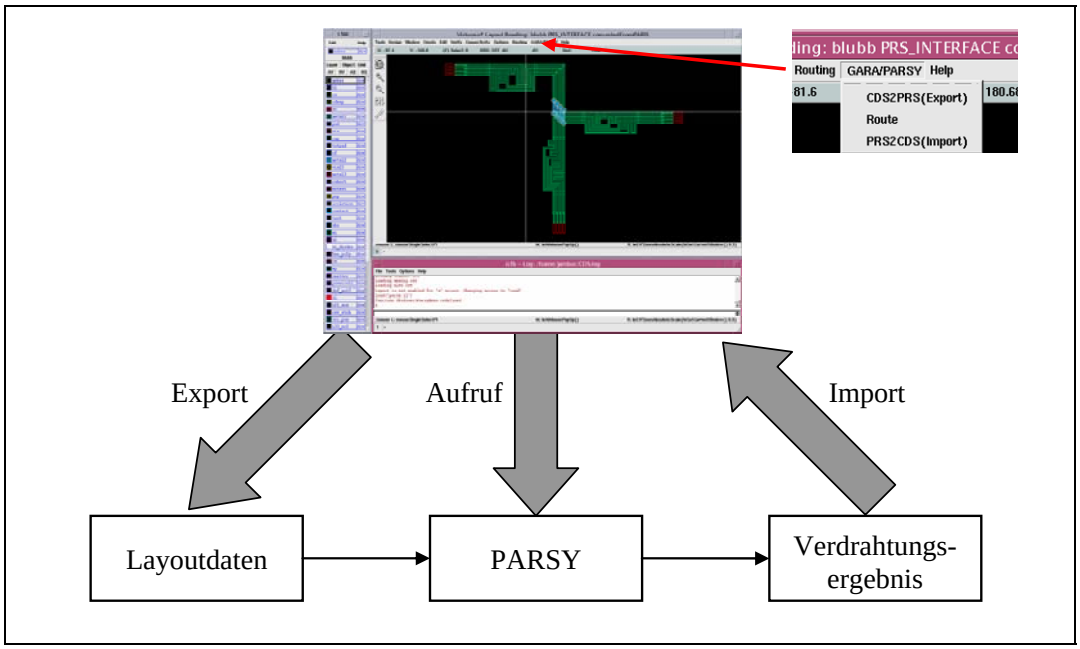


Abb. 2.2.4-4 Integration des Verdrahters in die Cadence-Umgebung

Zu den Nachteilen des zweiten Ansatzes gehört die notwendige Konvertierung der Daten, so dass es möglich ist, dass zum einen die Werkzeuge möglicherweise auf verschiedene Versionen von Daten zugreifen (fehlende Datenkonsistenz) und zum anderen Informationen verloren gehen können (mangelnde Datenvollständigkeit). Überdies kann die Bindung an die proprietäre Skriptsprache eines EDA-Anbieters als Nachteil angesehen werden. Zu den Vorteilen dieses Ansatzes zählt die schnelle Umsetzbarkeit dieses Ansatzes, die insbesondere auf das bereits vorhandene Know-how bei der Firma ATMEL zurückzuführen ist. Zudem ist die Verfügbarkeit zu nennen, da der entsprechende Skriptinterpreter bereits Bestandteil der Cadence-Software ist und damit keine zusätzlichen Kosten verursacht.

Nicht-orthogonale Verdrahtung

Die Qualität der Ergebnisse hängt insbesondere von der Verdrahtbarkeit einer Schaltung unter Berücksichtigung der parasitären und technologischen Rahmenbedingungen ab. Eine Erhöhung der Verdrahtbarkeit kann mit zwei Ansätzen verfolgt werden, wobei sie zum einen durch die Erhöhung der Anzahl der Verdrahtungsebenen und zum anderen durch Schaffung neuer Freiheitsgrade innerhalb des Verdrahtungsvorgangs verbessert werden kann. Die Arbeiten an dem Verdrahter PARSY konzentrierten sich auf den zweiten Ansatz, indem der Verdrahter prototypisch um die Fähigkeit der nicht-orthogonalen Verdrahtung erweitert wurde. Bei den Implementierungen wurden neben den orthogonalen Verdrahtungsrichtungen neue um 45° versetzte Verdrahtungsrichtungen definiert. Die Erweiterungen machten eine Neuimplementierung einer Corner-Stitching-basierten Datenstruktur notwendig, die die neuen Verdrahtungsstrukturen verwalten kann und die nicht-orthogonale Wegesuche ermöglicht. Im Rahmen dieser Arbeiten wurde ein Entwicklungswerkzeug (vgl. Abb. 2.2.4-5) implementiert, das eine Visualisierung und direkte Bearbeitung von beliebigen Corner-Stitching-Datenstrukturen ermöglicht.

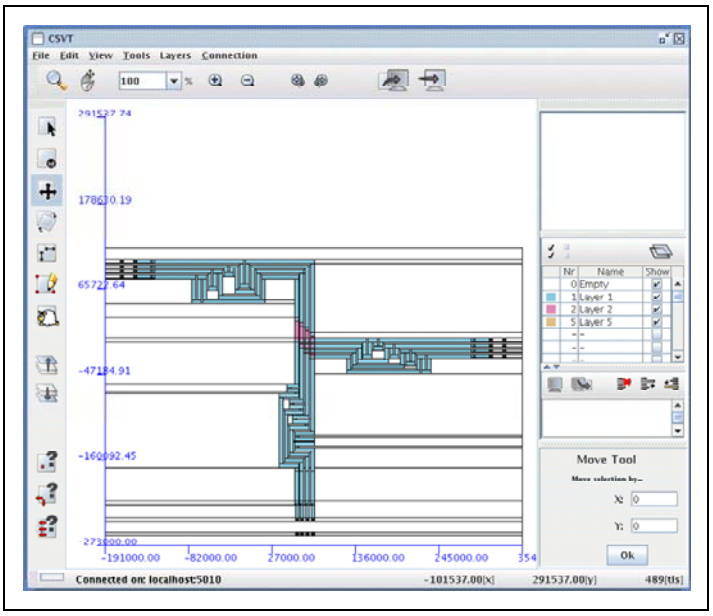


Abb. 2.2.4-5 Corner Stitching Visualisation Tool

Anschließend wurde der Verdrahtungsalgorithmus des Verdrahters erweitert und angepasst. Insbesondere sei die Anpassung der Berechnung der Expansionsebene, die das Erkennen von Hindernissen ermöglicht und somit die Wegesuche maßgebend beeinflusst, erwähnt. Diese Anpassung erforderte zunächst eine Erweiterung der Definition von Schattenkacheln, die nicht mehr ausschließlich von den Eckpunkten der Kacheln sondern auch von den Innenwinkeln abhängig ist. Bei der Berechnung der Expansionsebene wurde der Ansatz, die Expansionsebene orthogonal zur Expansionsrichtung aufzuspannen, beibehalten. Dies erforderte eine Zerlegung der Expansionsebene in Unterebenen, um innerhalb der Datenstruktur eine Bereichssuche durchführen zu können. Die Abb. 2.2.4-6 stellt den gesamten Expansionsvorgang schematisch dar. Es wird deutlich, dass innerhalb der Expansionsebene Hindernisse gesucht werden, die die Position der neuen Expansionspunkte und somit Startpunkte für darauffolgende Expansionsschritte darstellen. Für den Fall, dass kein Hindernis innerhalb der Expansionsebene vorliegt, bestimmt das Ende dieser Ebene die Position des neuen Expansionspunktes.

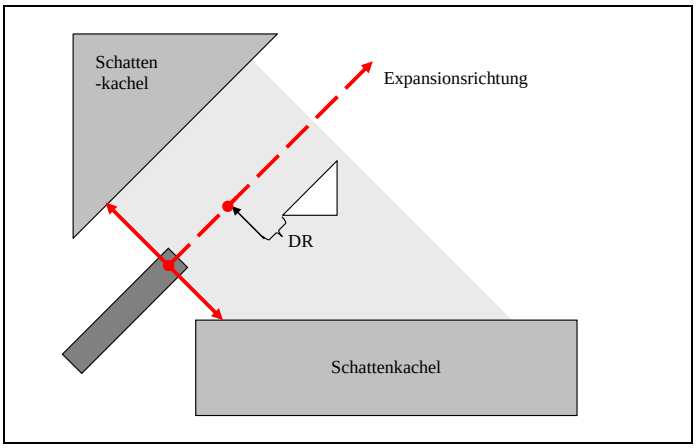


Abb. 2.2.4-6 Nicht-orthogonale Expansion

Parasitäre Effekte

Die parasitären Effekte spielen auf Grund der immer kleiner werdenden Abmessungen der einzelnen Layoutstrukturen und der steigenden Betriebsfrequenzen eine immer größere Rolle. Oft reicht die Betrachtung der parasitären Widerstände und Kapazitäten auf der Grundlage von einfachen Leitungsmodellen (Linienleitungen) für die Sicherstellung der einwandfreien Funktion einer Schaltung nicht aus. Aus diesem Grund wurden im Rahmen der Arbeiten 3D-Untersuchungen der einzelnen Module sowie der Verdrahtungsergebnisse durchgeführt. Überdies wurden Methoden für die Abschätzung der parasitären Induktivitäten sowie der Überprüfung der Parasitensymmetrie einzelner Leitungen entworfen. Im Folgenden sollen einzelne Aspekte der Arbeiten skizziert werden.

Untersuchungsumgebung

Die Berücksichtigung von parasitären Induktivitäten erfordert eine Untersuchung der Verdrahtungsergebnisse, die als Grundlage für die Entwicklung der Werkzeuge dienen kann. Im Rahmen der Integration des Verdrahters PARSY in die Entwicklungsumgebung mit Hilfe des OpenAccess-Ansatzes wurde eine Anbindung der Analysewerkzeuge FastCap und FastHenry an eine OpenAccess-Datenbank implementiert. Bei beiden Werkzeugen handelt es sich um in der Fachwelt anerkannte und oft zitierte Werkzeuge für die Extraktion von parasitären Widerständen und Induktivitäten (FastHenry) sowie von Kapazitäten (FastCap). Im Rahmen der Untersuchung werden zuerst die Verdrahtungsergebnisse bzw. einzelne Bündelmodule in die OpenAccess-Datenbank eingelesen und somit den Analysewerkzeugen zur Verfügung gestellt. Insbesondere für die Analyse mit dem Werkzeug FastHenry wurden spezielle Ausgaberoutinen entwickelt, die eine graphische Darstellung der Ergebnisse ermöglichen. Überdies ist es möglich die einzelnen Parameter der Busmodule automatisch zu verändern und damit die Parameterabhängigkeit der parasitären Effekte zu untersuchen.

Untersuchung der Busmodule

Bei der Darstellung der Untersuchungsergebnisse kann aus Umfangsgründen lediglich ein Teil der vorliegenden Ergebnisse präsentiert werden. Die Ergebnisse beschränken sich dabei auf die Darstellung der Untersuchung eines RC-Ausgleichsmodules, das insbesondere von den Entwicklern auf Grund der Form skeptisch aufgenommen wurde. Ein Ziel der Arbeiten war u. a. die Bestätigung der Wirksamkeit der Ausgleichsmodule bzgl. der parasitären Widerstände, Kapazitäten und Induktivitäten nachzuweisen.

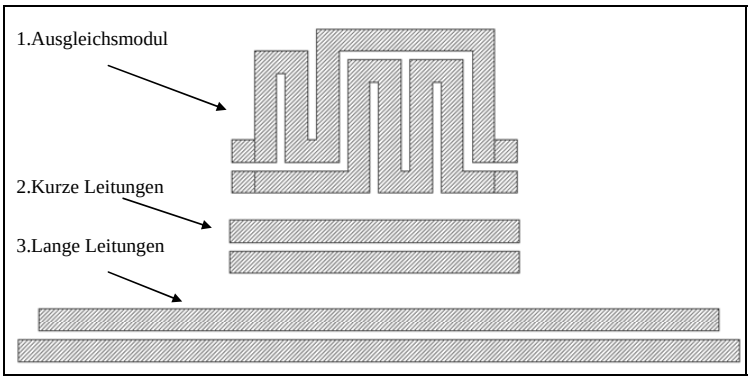


Abb. 2.2.4-7 Analysierte Layoutstrukturen

Bei der Untersuchung wurden drei Strukturen verglichen, die durch Abb. 2.2.4-7 dargestellt werden. Es handelt sich dabei um ein Ausgleichsmodul, um zwei Leitungen mit der Länge, die der Breite des Ausgleichsmoduls entspricht (kurze Leitung), sowie zwei Leitungen mit der tatsächlichen (abgewickelten) Leitungslänge innerhalb des Ausgleichsmoduls (lange Leitung).

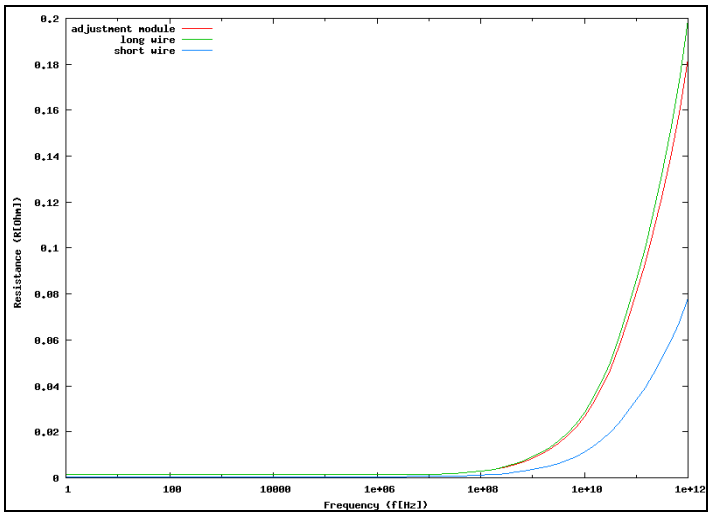


Abb. 2.2.4-8 Parasitärer Widerstand der analysierten Strukturen

Zunächst sei die Frequenzabhängigkeit des parasitären Widerstandes betrachtet, die in der Abb. 2.2.4-8 dargestellt wird. Wie zu erwarten, haben die kurzen Leitungen die niedrigsten Widerstände. Die Widerstandswerte des Ausgleichsmoduls sowie seiner abgewinkelten Version sind für niedrige Frequenzen identisch. Oberhalb von 1 MHz ergibt sich auf Grund der Knicke, die lediglich in dem Ausgleichsmodul vorhanden sind, ein Anstieg des Widerstands. Dieser Anstieg der Werte für hohe Frequenzen ist auf den Skineffekt zurückzuführen. Die beabsichtigte[4] Differenz zwischen den einzelnen Leitungen variiert zwischen 6,1% und 6,4% des Gesamtwertes. Die kurzen Leitungen weisen selbstverständlich keine Differenzen auf. Der Widerstandswert steigt im Vergleich zu den kurzen Leitungen um den Faktor 2,4 – 2,5. Beim Einsatz des Ausgleichsmoduls zum Ausgleich eines Leitungsknicks ist die Differenz zwischen den einzelnen Leitungen des Leitungsbündels für niedrige Frequenzen gleich Null. Im nicht ausgeglichenen Fall beträgt die Differenz 115 µΩ und ist vernachlässigbar. Für den höheren Frequenzbereich, der zum Einsatzfeld der Verdrahtungsergebnisse zählt, beträgt die Differenz 6 mΩ (ausgeglichener Leitungsknick) bzw. 20 mΩ (unausgeglichener Leitungsknick). Diese Werte stellen 1% bzw. 34% des Gesamtwiderstandes dar.

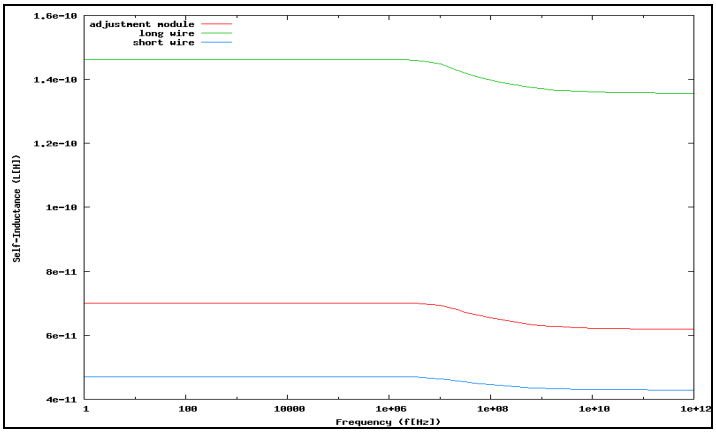


Abb. 2.2.4-9 Parasitäre Selbstinduktivität der analysierten Strukturen

Als nächstes werden die in der Abb. 2.2.4-9 dargestellten Ergebnisse der Untersuchung der Selbstinduktivität betrachtet. Die Selbstinduktivität eines Ausgleichsmoduls ist kleiner als die der abgewinkelten Version. Lediglich die kurze Leitung zeigt niedrigere Werte. Das Verhältnis der Werte des Ausgleichsmoduls und der langen Leitung beträgt 1,4. Die Differenzen innerhalb des Ausgleichsmoduls zwischen den einzelnen Leitungen betragen zwischen 7% und 9% des Gesamtwertes. Sie sind ein wenig höher als die Differenzen bzgl. der parasitä-

[4] Die Differenz der Werte soll die von einem Leitungsknick verursachte Differenz ausgleichen.

ren Widerstände. Dies zeigt, dass der beabsichtigte Ausgleich der Widerstände einen Ausgleich der Selbstinduktivitäten impliziert. Bei der Verwendung eines Ausgleichsmoduls variieren die Differenzen zwischen 3,5% und 3,6% der Gesamtselbstinduktivität. Das Ausgleichsmodul reduziert die Differenzen auf 2,5% - 2,6% der Gesamtselbstinduktivität. Bei der an dieser Stelle nicht dargestellten Untersuchung der Gegeninduktivitäten kann dem Ausgleichsmodul die niedrigste induktive Kopplung der einzelnen Leitungen bescheinigt werden. Für den Ausgleich der Differenzen hat jedoch ein Ausgleichmodul lediglich marginale Wirkung.

Die Untersuchungen der Ausgleichsmodule im Hinblick auf Kapazitäten zeigten eine relativ schwache Ausgleichswirkung der Module. An dieser Stelle wurde insbesondere die Problematik der äußeren und inneren Leitungen deutlich, zwischen denen erhebliche Differenzen bzgl. der Kapazität entstehen. Diese Problematik kann durch sukzessives Vertauschen der einzelnen Leitungen behoben werden, so dass jede Leitung über bestimmte Längen als innere und äußere Leitung geführt wird. Für die im Fokus dieser Arbeiten stehenden Differenzialleitungen, die aus zwei einzelnen Leitungen bestehen, hat diese Problematik keine Bedeutung.

Methoden der Abschätzung der parasitären Induktivitäten

Die Abschätzung der parasitären Induktivitäten stellt eine enorme Herausforderung an die Analysewerkzeuge dar. Dies liegt an der Tatsache, dass die Induktivität ausschließlich für geschlossene Leiterschleifen definiert ist und somit von einem Rückleiter abhängig ist. Ein Rückleiter, der meistens aus mehrerer Verbindungen besteht, ist im Allgemeinen nicht bekannt und nur unter sehr hohen Rechenaufwand berechenbar. Als Lösung dieses Problems ist in der Fachliteratur das Konzept der partiellen Induktivitäten (vgl. [32]) bekannt.

Bei diesem Konzept wird angenommen, dass jedes Segment einen eigenen in einer unendlichen Entfernung liegenden Rückleiter besitzt. Unter dieser Annahme ist es möglich, für jedes Segment eine partielle Induktivität zu bestimmen. Diese partielle Induktivität hat keine physikalische Bedeutung. Ausschließlich die Summe aller partiellen Induktivitäten einer geschlossenen Schleife entspricht der eigentlichen Induktivität der Schleife. Ein großer Vorteil dieses Ansatzes ist die Tatsache, dass die partiellen Induktivitäten ein ähnliches Verhalten wie die Induktivität aufweisen. Aus diesem Grund ist es möglich diese rein rechnerische Größe als Maßstab für die parasitären Induktivitäten zu verwenden.

Im Rahmen der Arbeiten wurden insbesondere die HALO-Methode (vgl. [33]) sowie die K-Methode (vgl. [34]) untersucht. Aus diesen Untersuchungen, die das Analysewerkzeug FastHenry als Referenz verwendet haben, wurde ein Ansatz für die Abschätzung entwickelt, der als Abstandsmethode bezeichnet wird. Die Abschätzung der parasitären (partiellen) Induktivitäten findet in zwei Schritten statt. Zuerst muss der Bereich festgelegt werden, in dem die einzelnen Leitungen als induktiv gekoppelt angesehen werden. Dieser Bereich wird im Folgenden als Untersuchungsbereich bezeichnet. Anschließend müssen die einzelnen Induktivitäten bestimmt werden.

Bei der Bestimmung des Untersuchungsbereichs wird zunächst die maximale Gegeninduktivität M_{max} berechnet, indem die Gegeninduktivität zweier Leitungssegmente mit einem technologieabhängigen Mindestabstand bestimmt wird. Als Segmentlänge wird die Länge des aktuellen[5] Segments, die um einen Untersuchungsbereichsfaktor[6] verlängert wird, genommen. Mit der maximalen Gegeninduktivität kann die kritische Gegeninduktivität M_{krit} bestimmt werden, wobei hier eine Benutzervorgabe[7] erforderlich ist. Die kritische Gegeninduktivität ermöglicht die Bestimmung eines kritischen Abstandes d, der gleichzeitig als Breite des Untersuchungsbereichs gesehen wird. Die Höhe des Untersuchungsbereichs wird durch die Länge des aktuellen Segmentes bestimmt.

Die Berechnung der Eigeninduktivitäten der einzelnen Segmente erfolgt nach der Formel (2).

[5] Bei der Abschätzung werden sequentiell alle im Untersuchungsbereich liegenden Segmente betrachtet.

[6] Im Rahmen der Untersuchung haben sich Faktoren zwischen 1,5 und 2 als sinnvoll erwiesen.

[7] Der Benutzer kann bestimmen, um welchen Faktor die kritische Gegeninduktivität kleiner als die maximale Gegeninduktivität ist. Werte zwischen 10% und 20% werden als sinnvoll erachtet.

$$L = \frac{\mu_0 l}{2\pi}\left[\log_e \frac{2l}{W+T} + \frac{1}{2} + \frac{0,2235(W+T)}{l}\right] \quad (2)$$

Bei der Bestimmung der Gegeninduktivitäten werden drei Formel verwendet (vgl. (3) – (5)), wobei die Verwendung von dem Verhältnis zwischen der Länge des aktuellen Segmentes und dem Abstand zu dem betrachteten Gegensegment bestimmt wird.

$$M = \frac{\mu_0 l}{2\pi}\left[\ln\left(\frac{2l}{d}\right) - 1 + \frac{d}{l}\right] \quad (3)$$

$$M = \frac{\mu_0 l}{2\pi}\left[\ln\left(\frac{2l}{d}\right) - 1 + \frac{d}{l} - \frac{1}{4}\frac{d^2}{l^2}\right] \quad (4)$$

$$M = \frac{\mu_0 l}{2\pi}\left[\frac{1}{2}\frac{d}{l} - \frac{1}{24}\frac{l^2}{d^2}\right] \quad (5)$$

Die Qualität der gewählten Formeln kann der Abb. 2.2.4-10 und der Abb. 2.2.4-11 entnommen werden, wobei stets ein Bezug auf die mit FastHenry bestimmte Referenzinduktivität genommen wird.

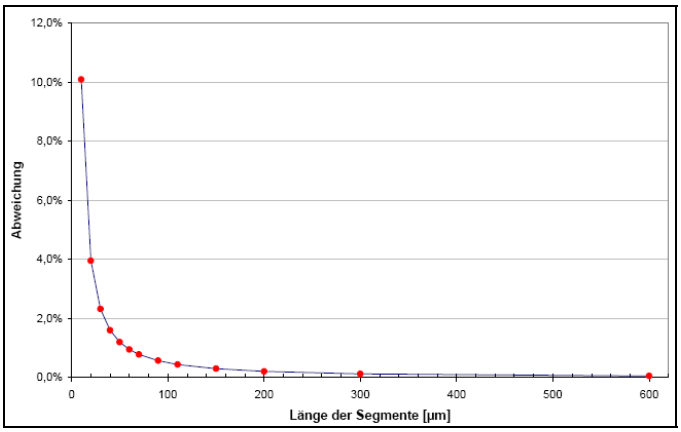


Abb. 2.2.4-10 Abschätzung der Eigeninduktivitäten

Bei der Betrachtung der Ergebnisse wird deutlich, dass die Abschätzung insbesondere für lange Leitungen sehr gute Ergebnisse liefert. Lediglich bei den sehr kurzen Leitungen steigt der Fehler. Angesichts der Tatsache, dass in dem Bereich, in dem der Fehler 10% beträgt, die Leitungen quadratische[8] Abmessungen und damit nicht mehr praktisch auftretenden Längen aufweisen, kann unseres Erachtens die Abschätzung als sehr gut erachtet werden.

[8] Die Länge entspricht der Leitungsbreite.

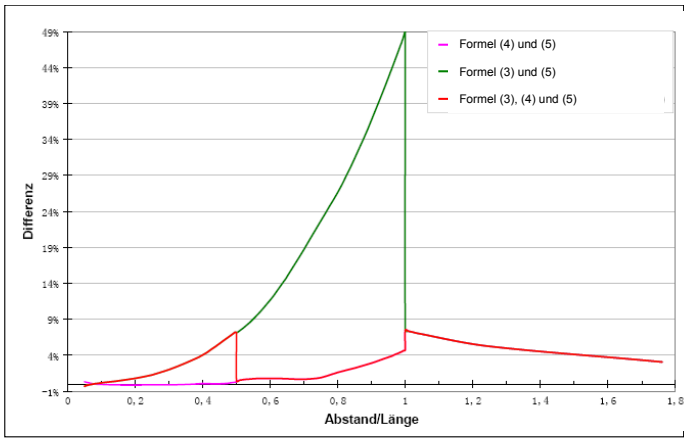


Abb. 2.2.4-11 Abschätzung der Gegeninduktivität

Bei der Abschätzung der Gegeninduktivitäten hat sich eine Kombination der Formeln (3) bis (5) als sinnvoll erwiesen. Bei der Analyse werden zwei Leitungen betrachtet, die minimalen Abmessungen aufweisen. Die Kombination der drei Formeln weist eine maximale Abweichung der Ergebnisse von 7,5% auf. Dies kann unseres Erachtens als ausreichend angesehen werden.

Überprüfung der Leitungssymmetrien

Die Ergebnisse einer parasitensymmetrischen Verdrahtung, die von PARSY angestrebt wird, können durch das Einfügen von Leitungen bzw. anderen Layoutstrukturen nach der Verdrahtung verschlechtert werden. Aus diesem Grund ist es notwendig die Möglichkeit zu schaffen, Leitungssymmetrien überprüfen zu können. Im Rahmen der Arbeiten wurde ein Verifikationsprozess implementiert, der auf den kommerziellen EDA-Werkzeugen der Firma Cadence basiert. Die Definition der erwünschten Eigenschaften (Constraints) einzelner Netze erfolgt meistens bereits während des Entwurfs des Schaltbildes, so dass eine Schematic-Layout-Kopplung notwendig ist. Die im Vordergrund stehende Eigenschaft „symmetrische Netze“ wird an die jeweiligen Netze eines Netzbündels angeheftet und an die Layoutansicht und somit auch an den Verdrahter PARSY weitergeleitet. Diese Vorgehensweise hat den Vorteil, dass sie auch unabhängig von der Verdrahtung mit PARSY eingesetzt werden kann. Symmetrien in beliebigen Layouts können so leicht überprüft werden.

Zur Ermittlung der parasitären Beläge kommt Software der Firma Cadence zum Einsatz. Für die Technologie, in der die Beispiele umgesetzt wurden, ist ein Designflow mit Virtuosos-XL, Assura und Assura RCX aufgesetzt. Assura RCX bietet eine Vielzahl von Extraktionsvarianten, von denen hier lediglich die einfache R- und C-Extraktion zur Anwendung kommt. Nach einem abgeschlossenen und erfolgreichen RCX-Durchlauf stehen die errechneten Leitungsbeläge in Form einer Vielzahl von diskreten Bauelementen vom Typ 'presistor' und 'pcapacitor' in der Datenbasis zur Verfügung. In der Netzliste ersetzen und ergänzen sie die vorher verlustlosen Leitungen. Das Verfahren ist grundsätzlich technologieunabhängig. Im Vordergrund steht die automatische Prüfung aller für eine gegebene Zelle geforderten Constraints, die die Leitungsparasiten betreffen. Es werden nacheinander die Parasiten der entsprechenden Leitungspaare oder Leitungsbündel analysiert und geprüft. Im Rahmen eines "Final Check" vor der Freigabe einer Schaltung zur Produktion kann die Prüfung vollautomatisch Constraint-gesteuert angestoßen werden.

Fazit

Die Arbeiten an dem Verdrahter PARSY setzen die Aktivitäten des Projektes LEONIDAS fort. Während des Projektes LEONIDAS+ wurde der Verdrahter PARSY weiterentwickelt und die parasitären Eigenschaften der Leitungen untersucht.

PARSY ist um eine automatische Platzierung der virtuellen Terminals sowie eine Berechnung von Netzreihenfolgen erweitert worden. Zur Minimierung der Unterschiede bzgl. der parasitären Eigenschaften einzelner Leitungen wurden neue Modulgeneratoren implemen-

tiert. Zwecks der Verbesserung der Akzeptanz des Verdrahters durch den Anwender ist der Verdrahter in den bereits bestehenden Entwurfsprozess integriert worden. Schließlich wurde der Verdrahter um die Fähigkeit einer nicht-orthogonalen Verdrahtung erweitert, um weitere Verbesserungen des Verdrahters außerhalb von LEONIDAS+ zu ermöglichen.

Im Rahmen der Betrachtungen der parasitären Eigenschaften der Leitungen wurden zunächst die von den Busgeneratoren erzeugten Strukturen analysiert, wobei die Analyse mit den Extraktionswerkzeugen FastCap und FastHenry vorgenommen wurde. Überdies wurden bekannte Konzepte für die Abschätzung der parasitären Induktivitäten evaluiert und ein eigenes neues Konzept entwickelt. Schließlich konnte auch eine auf Cadence-Werkzeugen basierende Analyseumgebung entwickelt werden, die die parasitäre Symmetrie innerhalb von Leitungsgruppen überprüft. Als Ergebnis der Arbeiten stehen somit zum einen Untersuchungsergebnisse und Erfahrungswerte für die Betrachtung der parasitären Effekte und zum anderen eine Analyseumgebung, die auch für manuell definierte Leitungen verwendet werden kann, zur Verfügung.

Literatur:

[31] PARIS 5.0 – Layout Editor für integrierte Schaltungen Benutzerhandbuch (erhältlich unter http://sourceforge.net/projects/mgen)

[32] Beattie, M, Pileggi, L. T., „Inductance 101: Modeling and Extraction”, IEEE 2001

[33] Shepard, K.L., Zhong Tian, “Return-limited inductances: a practical approach to on-chip inductance extraction”, Computer-Aided Design of Integrated Circuits and Systems, IEEE Transactions on, Vol.19, Iss.4, Apr. 2000

[34] Devgan, A., Hao Ji, Dai, W.,”How to efficiently capture on-chip inductance effects: introducing a new circuit element K”, Computer Aided Design, 2000. ICCAD-2000. IEEE/ACM International Conference on, Nov. 2000

2.2.5 Beitrag 2.2.2: Constraints-Umsetzung im Analoglayout

Stromgeführte Verdrahtung - Pinanschlussmodell

Aufgrund der fortwährenden Verkleinerung der minimalen Strukturgrößen in integrierten Schaltkreisen und dem Auftreten von hohen Stromdichten in Metallisierungsstrukturen besteht zunehmend die Gefahr der Leitbahnzerstörung aufgrund von Elektromigration und elektrischer Überbeanspruchung (engl. electrical overstress). Die Vermeidung von elektromigrations- und überbeanspruchungsbedingten Ausfällen in Metallisierungsstrukturen muss daher beim Entwurf aktiv mit berücksichtigt werden [1,2,4].

Während bereits zahlreiche Algorithmen für die Leitbahndimensionierung und Topologieplanung zur Elektromigrationsvermeidung veröffentlicht wurden [1,2], sind bisher keine umfassenden Lösungen für das Problem des stromdichtegerechten Pinanschlusses bekannt. Keiner der veröffentlichten Ansätze berücksichtigt jedoch das Layout der Netzterminals (Pins) zur Generierung von stromdichtekorrekten Leitbahnanschlüssen. In verfügbaren Verdrahtungstools wird das Pinlayout bei der Feinverdrahtung bisher nur als Äquipotentialfläche angesehen, deren verdrahtungstechnische Anschließbarkeit allein von geometrischen Randbedingungen - den Designregeln (engl. design rules) - abhängt.

Im Rahmen des Arbeitspakets 2.2.2 wurde daher ein im Förderprojekt LEONIDAS entwickeltes Pinanschlussmodell stark weiterentwickelt. Das Pinanschlussmodell ermöglicht einem Verdrahtungswerkzeug eine Leitbahn an einer stromdichteunkritischen Position des Pinlayouts anzuschließen. Mit dem weiterentwickelten Pinanschlussmodell können nun auch Mehrfachanschlüsse von Leiterbahnen an stromdichtekritische Pinlayouts erstmals aktiv bei der Verdrahtungsplanung mit berücksichtigt werden können. Im Gegensatz zur Generierung von stromdichtegerechten Einfachanschlüssen können bei Mehrfachanschlüssen die Pinanschlusszonen aufgrund der unbekannten Anschlussreihenfolge und Anschlusspunkte nicht mehr vorab als Teil der Pingenerierung erzeugt werden. D.h., die Anschlussplanung muss bei Mehrfachanschlüssen dynamisch während der Netztopologieplanung erfolgen.

Stromgeführte Verdrahtung

Der grundsätzliche Ablauf der stromgeführten Verdrahtung ist in Abb. 2.2.5-1a dargestellt. Die einzelnen Teilschritte ergeben sich dabei wie folgt:

- **Current Characterization (Stromwertcharakterisierung):** Bestimmung aller relevanten Werte und Typen der Pinströme (z.B., Mittelwertstrom (avg), RMS-Strom (rms), Spitzenstrom (peak) und ESD-Ströme entprechend dem „Human-Body Model“ (HBM) und „Charge-Device Model“ (CDM))
- **Wire Planning (Verdrahtungsplanung):**
  - *Net-Topology Planning (Netztopologieplanung)*:

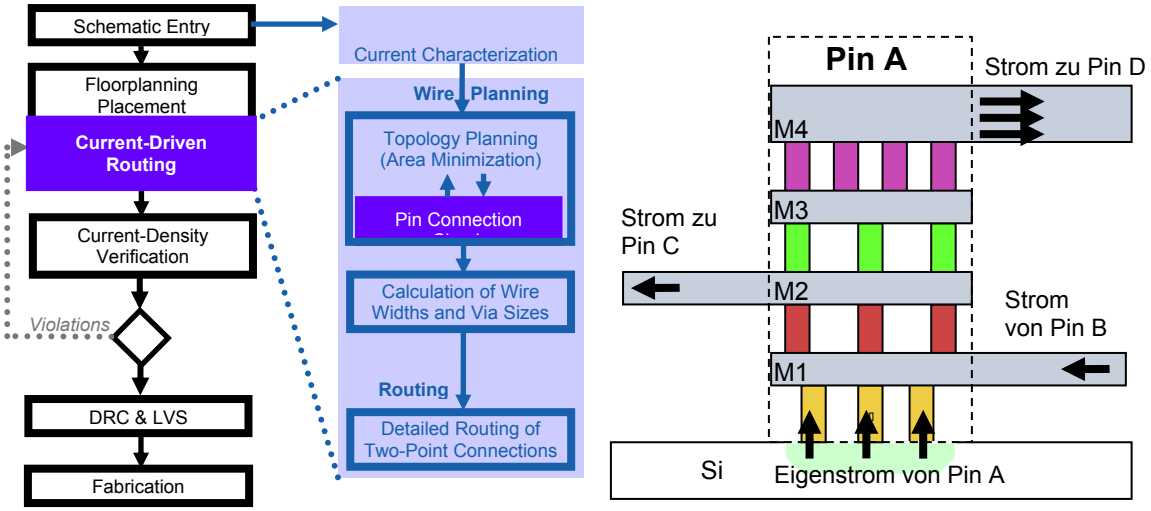
    Planung der Topologie eines Netzes anhand gegebener Randbedingungen (z.B., Topologieform) und verschiedenen Optimierungszielen (z.B., Minimierung der Gesamtverdrahtungsfläche)
  - *Pin Connection Check (Pinanschlusscheck)*:

    Überprüfung,
    - ob das aktuell im Fokus liegende Pin mit einem geplanten Strom (z.B. dem Eigenstrom) generell stromdichtekorrekt angeschlossen werden kann;
    - ob mehrere Leitbahnen an das aktuell im Planungsfokus liegende Pin stromdichte-korrekt angeschlossen werden können;
    - an welchen Positionen das aktuell im Planungsfokus liegende Pin mit einem gegebenen Strom stromdichtekorrekt angeschlossen werden kann.

- **Calculation of Wire Widths and Via Sizes (Pfad- und Viaquerschnittsberechnung):** Berechnung der notwendigen Verdrahtungsquerschnitte von Leitbahnen und

Mehrfachvias (engl. Viaarrays) anhand der gegebenen Designregeln für Elektromigration [4].

- **Routing (Verdrahtung):** Verdrahtung der Netzsegmente entsprechend der geplanten Netztopologie und der notwendigen Verdrahtungsquerschnitte in den einzelnen Netzsegmenten.



(a) **(b)**

Abb. 2.2.5-1: Ablauf der stromgeführten Verdrahtung (a) mit Pinanschlusscheck (blau); Querschnittsdarstellung eines Mehrlagenpins „Pin A“ mit Mehrfachanschluss (b).

Pinanschlussmodell

Für die Generierung eines stromdichtegerechten Pinanschlusses ist es während der Verdrahtungsplanung notwendig, (1) das Pinlayout und dessen Eigenschaften für eine Verdrahtungsplanung in einem Modell beschreibbar zu machen und (2) dieses Modell anschließend während der Verdrahtungsplanung und –realisierung aktiv mit zu benutzen. Der Stromfluss innerhalb von Pinmetallisierungen mit mehreren Verdrahtungsebenen (Mehrlagenpins) und mehrfach angeschlossenen einlagigen Pins (Einlagenpins) ist in der Regel hochkomplex (siehe Abbildung 1b). Alle verfügbaren kommerziellen Verdrahtungstools können den Stromfluss innerhalb der Pinmetallisierung bisher nicht modellieren. Daher besteht prinzipiell immer die Gefahr eines stromdichte*in*korrekten Pinanschlusses wenn die geometrischen Abmessungen der Pinmetallisierung größer sind als die der anschließenden Leiterbahn.

Nachfolgend ist der Algorithmus A2.1 zur Erstellung des Pinmodells gegeben, der anschließend näher beschrieben wird:

Algorithmus A2.1: Erstellung eines Pinanschlussmodells

Gegeben: Pinlayout, Pinstrom des Pins, Anschlussströme der Verbindungspartner

Gesucht: - Stromtragfähigkeit eines Pins am Ort [x,y,layer] *oder*
- Optimaler Anschlusspunkt für einen gegebenen Anschlussstrom

Algorithmus:

1. Überführung des Pinlayouts in einen Segmentgraphen (siehe Bild 2a-d);
2. Überführung des Segmentgraphen in einen Stromflussgraphen (siehe Bild 2e);
3. Überführung des Stromflussgraphen in ein
   3.1. Max-Flow Problem für die Fragestellung:
   Kann an Anschlusspunkt [x, y, layer] mit einem Strom von X Ampere angeschlos-

sen werden?

3.2. Lineares Optimierungsproblem für die Fragestellung:

Wo sind die günstigsten Anschlusspunkte an ein Pin bei Einfach- und Mehrfachanschlüssen?

4. Lösung des Max-Flow-Problems (3.1) bzw. des Optimierungsproblems (3.2);
5. Erzeugen von temporären ebenenabhängigen Blockage-Polygonen für einzelne Layoutsegmente des Pins zur Steuerung des nachfolgend eingesetzten Verdrahtungswerkzeuges.

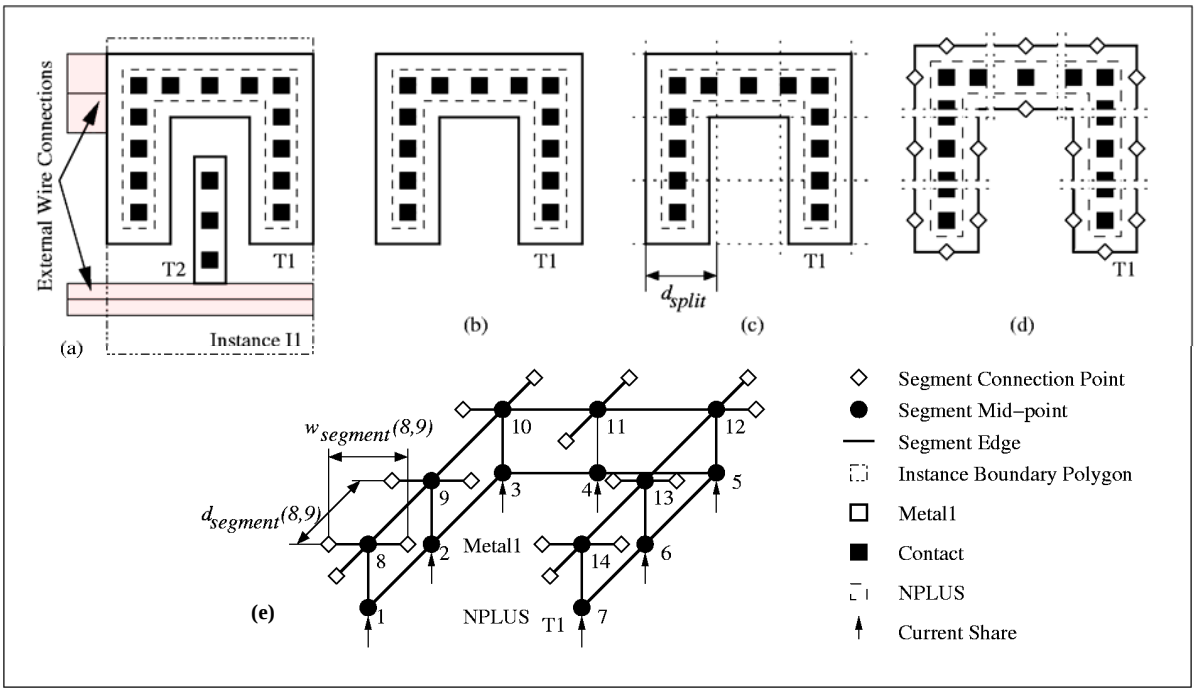


Abb. 2.2.5-2: Generierung der Segment- und Stromflussgraphen ausgehend von einem gegebenen Pinlayout: (a) originales Zelllayout, (b) separiertes Pinlayout, (c) Segmentierung des Pinlayouts, Generierung des Segmentgraphen (d) und daraus transformierter Stromflussgraph (e).

Das Pinlayout wird zunächst in einen Segmentgraphen zerlegt (Algorithmus 2.1, Zeile 1; Abb. 2.2.5-2b-d) aus dem anschließend ein topologischer Stromflussgraph abgeleitet wird (Algorithmus 2.1, Zeile 2; Abbildung 2e). Das freigeschnittene Pinlayout (2b) wird dabei zunächst vertikal, d.h. über die Ebenengrenzen (Layer) hinweg, in Layoutsegmente der gegebenen Größe d_{split} zerschnitten (2c). Jedes geschnittene horizontale Polygon in einem Layer der Einzelsegmente wird anschließend an den Segment-Verbindungspunkten mit seinen geographischen Nachbarsegmenten verbunden (2d), wobei jede dieser Verbindungen einer Kante in dem zu generierenden Segmentgraphen entspricht. Der Stromflussgraph wird anschließend aus dem Segmentgraphen abgeleitet indem man für jedes Segment (1) ausgehend von den Segment-Mittelpunkten die horizontalen und vertikalen Übergangswiderstände zu allen benachbarten Segmenten anhand der Gleichungen G1 und G2 bestimmt, und (2) alle vorhandenen Stromeinspeisungen des betrachteten Pins den Segment-Verbindungspunkten (horizontale Verbindung) und Segmentverbindungsknoten (vertikale Verbindung) zuweist.

Der horizontale/vertikale Segment-Übergangswiderstand R_h bzw. R_v wird wie folgt berechnet:

$$R_h(i,j) = R_{\square}(l) \cdot \frac{d_{segment}(i,j)}{w_{segment}(i,j)} \qquad \text{(G1)}$$

$$R_v(i,j) = R_{contact}(l_1,l_2) \cdot \frac{A_{via}(l_1,l_2)}{\sum A_{via}(s,l_1,l_2)} \qquad \text{(G2)}$$

Mit *i,j* - als Knotennummern,
$d_{segment}$, $w_{segment}$ - als Segmentweite, -länge,
A_{via} - Kontakt/Via Querschnittsfläche,
$R_{\square}(l)$ - Schichtwiderstand des Metalllayers *l,*
$R_{contact}$ - elektrischer Widerstand eines Kontaktes/Vias,
l_1, l_2 - jeweils unterer und oberer Metalllayer,
s - Index des aktuellen Segments.

Jeder Kante *k* des Stromflussgraphen wird außerdem eine spezifische Kapazität c_k zugewiesen die ihrer jeweiligen maximalen Stromtragfähigkeit entspricht. Die Stromtragfähigkeit ergibt sich aus der vorgegebenen maximal erlaubten temperatur- und layerabhängigen Stromdichte und dem für den Stromfluss im Segment verfügbaren Leitbahnquerschnitt [4].

Mit Hilfe des Stromflussgraphen können nun folgende grundsätzlichen Fragestellungen beim Entwurf und die Auswahl eines geeigneten Pinanschlusses beantwortet werden:

1. Welche Segmente des Pins sind für einen Strom von *X* Ampere hinreichend sicher und zugleich entsprechend den gegebenen Optimierungszielen optimal?
2. Kann an Segment *s* mit einem Strom von *X* Ampere angeschlossen werden?
3. Wie hoch ist das verbleibende Strombudget, wenn man am Segment *s* mit einem Strom von *X* Ampere?

Über die Wahl von geeigneten Anschlusspunkten („segment connection point“ in Abbildung 2) in einem Segment kann ein externer Pinanschluss abgebildet werden. Zur Beantwortung der genannten *Frage 1* wird das Optimierungsverfahren der Lagrange-Relaxierung [5] verwendet. Hierbei wird das Segment gesucht, bei dem die Gesamtsumme aller Segmentteilströme minimiert wird. Ein Segmentteilstrom ist der Strom der vom Segmentverbindungspunkt zum Segmentmittelpunkt fließt (siehe Abbildung 2d,e). Während der Optimierung muss aber sichergestellt sein, dass die jeweiligen Teilströme innerhalb eines Segments nicht die jeweilige Stromtragfähigkeit der jeweiligen Kante (Kantenkapazität c_k) überschreiten. Wenn keine gültige Lösung gefunden werden kann, dann kann existiert *kein* gültiges Anschlussschema für das betrachtete Pin und den gegebenen Anschlussströmen. Die Topologie des Netzes muss dann vom übergeordneten Topologieplanungsalgorithmus geeignet modifiziert werden.

2.3 Arbeitspaket 3: Entwurfsablauf und Werkzeuge

Die immer größer und komplexer werdenden integrierten Schaltungen insbesondere in modernen Nanometer-Technologien sind eine Herausforderung nicht nur an alle Tools im Designflow, sondern auch für den Entwurfsablauf selbst.

Daher wurde zur Verbesserung und Optimierung einer leitbahnzentrierten HDL-Entwicklungsumgebung erforscht, inwieweit das „Integrated Floorplanning“ und das „HDL-Top-Level-Design“ in einem Schritt, oder wenigstens parallel, erfolgen können. Ein wichtiges Ziel war dabei die Berücksichtigung von Leitbahnlängen und Leitbahninduktivitäten, insbesondere zur Auswahl der verwendeten Leitbahnmodelle. Zur Berücksichtigung von kapazitiven Kopplungen in parallel verdrahteten Bussen, die sowohl die Signallaufzeit auf dem Bus als auch das Delay der Treiber beeinflussen, wurden parametrierbare Zellen zur Optimierung der Laufzeiten auf solchen Bussen betrachtet.

Zur automatischen Dimensionierung von Leitbahnen wurden in Erweiterung der Ergebnisse von LEONIDAS zeitlich und örtlich variierende Stromdichten bei impulsbelasteten Leitbahnen, die ein typisches Problem beim Entwurf automobiler Elektronik darstellen, mit Werkzeugen erfasst.

Aufbauend auf grundlegenden Arbeiten in LEONIDAS hat sich eine weitere Aktivität mit der automatisierten, constraint getriebenen und optimierten Verarbeitung von scanbaren Netzlisten unter Berücksichtigung von Skew, Routing- und Layout-Constraints für den optimierten Einbau von Testpunkten in die Signalpfade beschäftigt. Durch die Entwicklung neuer Algorithmen kann der Einbau von Testpunkten zur Kontrollierbarkeit und Beobachtbarkeit von Signalzuständen insbesondere in sogenannten Fan-out Free Regions (FFR) nun an den dafür erlaubten und vor allen Dingen sinnvollen Plätzen erfolgen.

Um den Anforderungen von Applikations-Schaltungen mit bis zu 100 Millionen Gattern gerecht werden zu können, müssen die jeweils leistungsfähigsten Werkzeuge einsetzbar sein. Ein übergeordneter Design-for-Testability (DfT) Flow für solche Nanometer-Designs muss dabei verschiedene wichtige Aufgaben unterstützen. Es wurde hier ein übergeordneter Automatismus so im Flow umgesetzt, dass ein Designer oder Testingenieur über eine geeignete grafische Oberfläche ohne große Vorkenntnisse zu ersten Ergebnissen kommen kann. Dieses entwickelte „Single User Interface“ erleichtert den Umgang mit den Werkzeugen, hilft bei der Fehlervermeidung und führt durch die schnellere Umsetzungsmöglichkeiten zu verkürzten Design-for-Testability-Entwurfszeiten.

Des Weiteren wurden Algorithmen für die simultane Detailplatzierung und -verdrahtung erforscht, die einen neuen Ansatz darstellen, Timing-Randbedingungen bei gleichzeitig geringer Fläche einzuhalten. Zur Lösung des Problems zu langer Verbindungsleitbahnen werden in Zukunft zunehmend 3-dimensionale Ansätze verfolgt, wie gestapelte aktive Schichten, die zusammen den Chip ergeben. Hierzu ist ein Werkzeug entwickelt worden, das die Platzierung von Elementen unter Berücksichtigung fest vorgegebener Timing-Constraints vornimmt.

Durch die Miniaturisierung und hohe Arbeitsfrequenzen in aktuellen Schaltungen genügt es nicht mehr, die elektrischen Eigenschaften der Verbindungsleitbahnen nur als zusätzliche parasitäre Widerstände, Kapazitäten und Selbstinduktivitäten anzusehen. Ein Leitbahn- oder Busmodel muss zunehmend auch die Gegeninduktivitäten (Übersprechen) und ggf. Skin-, Proximity und Substrat-Effekte mit einbeziehen. Das Substrat lässt sich beispielsweise als RC-Gitter modellieren und kapazitiv an die Leitbahnen ankoppeln. Hierzu wurde ein leitbahnzentrierter, auf parametrisierbaren Zellen (PCells) basierender Flow mit dem Namen „Partieller Layout Flow“ prototypisch entwickelt und in einen Standard Entwurfsprozess integriert.

2.3.1 Beitrag 3.1.1: Timing-Driven 3D-Platzierung (IMS, Leibniz Universität Hannover)

Das Ziel dieses Beitrags ist die Bereitstellung eines prototypischen Werkzeugs für den physikalischen Entwurf dreidimensionaler Integrationstechnologien. Es wurde ein Platzierungsverfahren für Schaltungen entwickelt, das Zellen dreidimensional platziert und dabei Timing-Driven-Aspekte berücksichtigt. Die am IMS bereits entwickelte prototypische Implementierung eines 3D-Platzierers wurde um die nötige Funktionalität ergänzt, so dass nun ein Timing-gesteuertes Platzierungsverfahren vorliegt. Eine einfache Form der statischen Timing-Analyse wurde implementiert und in den Platzierer integriert. Dadurch kann bereits zur Platzierungsphase das Timing der Schaltung abgeschätzt werden. Das vorliegende 3D-Platzierungsverfahren erzeugt und platziert vertikale Durchkontaktierungen zwischen den einzelnen Chiplagen. Für diese Durchkontaktierungen wurde ein einfaches Modell zur Timing-Modellierung entwickelt. Es wird für die statische Timing-Analyse während der Platzierung verwendet, um das Timing der Inter Chip Vias (ICVs) abzuschätzen. Die Platzierung wird bezüglich der Timing-Abschätzung durch die statische Timing-Analyse optimiert. Es konnte gezeigt werden, dass sich durch die Anwendung von statischer Timing-Analyse in Verbindung mit Pfadkräften kritische Pfade während der Platzierung vermeiden lassen.

Angewendetes Konzept zur Timing-Driven 3D-Platzierung

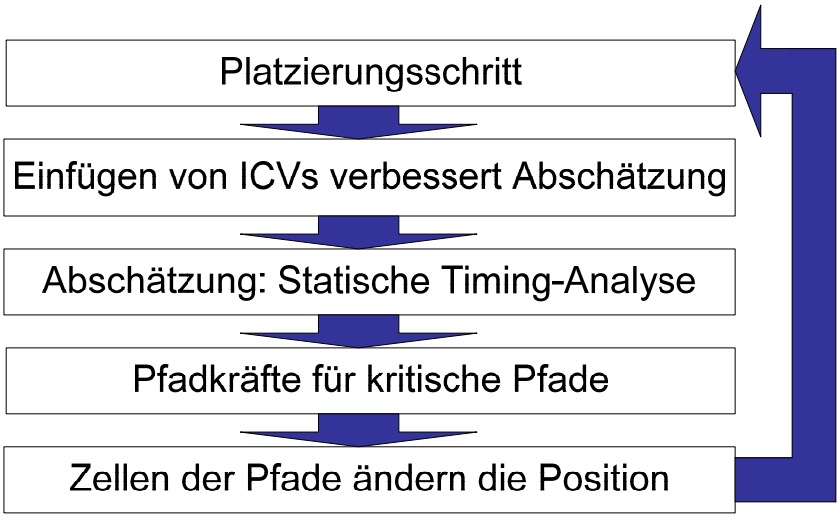


Abb. 2.3.1-1: 3D-Platzierungsablauf

Abb. 2.3.1-1 zeigt den angewendeten Ablauf während eines Platzierungsschritts des 3D-Platzierers. Die einzelnen Schritte wurden nach den bisher durchgeführten Konzeptuntersuchungen ausgewählt. Die Besonderheiten dieses Ablaufs bestehen darin, dass sowohl ICVs während der Platzierung eingefügt (und gelöscht) werden können, als dass auch bereits während der Platzierung eine Timing-Analyse für die abgeschätzte Verdrahtung durchgeführt werden kann. Die Ergebnisse der Timing-Analyse bestimmen die Pfadkräfte, die verwendet werden, um die Platzierung der betreffenden Zellen anzupassen.

Statische Timing-Analyse unter Berücksichtigung von ICVs

Das Ergebnis der statischen Timing-Analyse ist der so genannte Slack Δs. Der Slack wird berechnet aus der Differenz der spätesten Signalankunftszeit auf dem Pfad (Latest Arrival Time, LAT) und benötigten Signalankunftszeit (Required Arrival Time, RAT):

$$\Delta s = RAT - LAT \qquad (4)$$

Negativer Slack bedeutet, dass die Timing-Bedingungen verletzt sind. Die statische Timing-Analyse ist direkt in den Platzierer integriert, um eine schnelle Anbindung zu erreichen. Da

die Detailstufe der Verdrahtung zur Platzierung noch nicht besonders hoch ist, wird als Delay-Modell für die Verbindungen das so genannte Elmore-Delay verwendet. Es ist ein sehr einfaches Maß, dessen Genauigkeit für den vorliegenden Fall jedoch ausreicht. Das Elmore-Delay T_{Di} zwischen dem Treiber des Netzes und der Zelle i lässt sich für baumartige Netzstrukturen sehr einfach angeben:

$$T_{D_i} = \sum_{k=1}^{N} R_{ki} C_k \qquad (5)$$

R_{ki} ist der Widerstand des gemeinsamen Pfades vom Treiber zur Zelle k, C_k ist die Kapazität am Knoten k. Die implementierte Version der statischen Timing-Analyse berücksichtigt auch die Timing-Eigenschaften der ICVs. Die ICVs haben andere elektrische Eigenschaften als die sonstigen Verbindungsleitungen. Wir setzen voraus, dass sich die ICVs mit einem Widerstand und einer Kapazität modellieren lassen, die jedoch von den Werten horizontaler Verbindungen abweicht. Unter diesen Annahmen lässt sich das Elmore-Delay für einen Pfad, in dem ein ICV enthalten ist, ebenfalls einfach formulieren. Abb. 2.3.1-2 zeigt ein Netzmodell mit einem ICV. Gleichung (3) beschreibt das zugehörige Elmore-Delay T_{DC} zwischen Treiberzelle A und der Zelle C unter Berücksichtigung der Charakteristika des ICV.

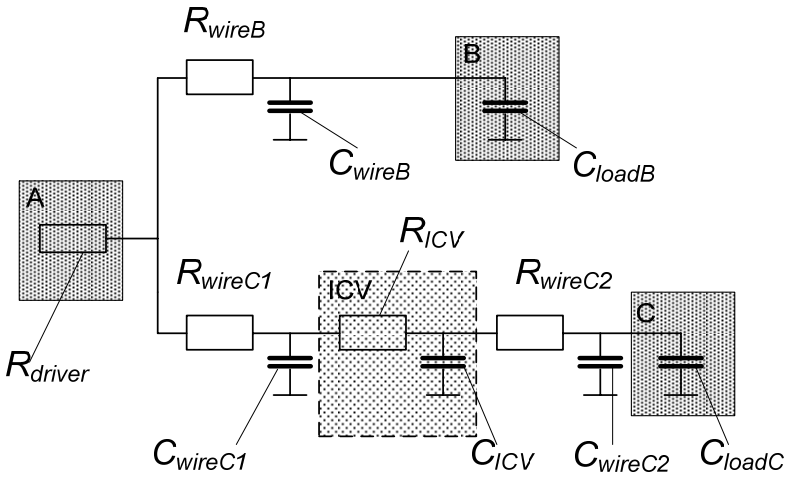


Abb. 2.3.1-2: Netz mit ICV

$$\begin{aligned} T_{D_C} = {} & R_{driver} \cdot (C_{wireB} + C_{loadB}) \\ & + (R_{driver} + R_{wireC1}) \cdot C_{wireC1} \\ & + (R_{driver} + R_{wireC1} + R_{ICV}) \cdot C_{ICV} \\ & + (R_{driver} + R_{wireC1} + R_{ICV} + R_{wireC2}) \cdot (C_{wireC2} + C_{loadC}) \end{aligned} \qquad (6)$$

Anhand des Slacks kann erkannt werden, welche Teile des Entwurfs timingkritisch sind. Für diese Netze muss die Platzierung entsprechend angepasst werden. Es wird ein Verfahren angewendet, welches zusätzliche Kräfte einführt. Diese Kräfte werden als Pfadkräfte bezeichnet, sie wurden bereits im Projekt LEONIDAS erforscht und können direkt auf die dreidimensionale Platzierung angewendet werden. Die Größe der Pfadkräfte ist abhängig vom Slack.

Ergebnisse

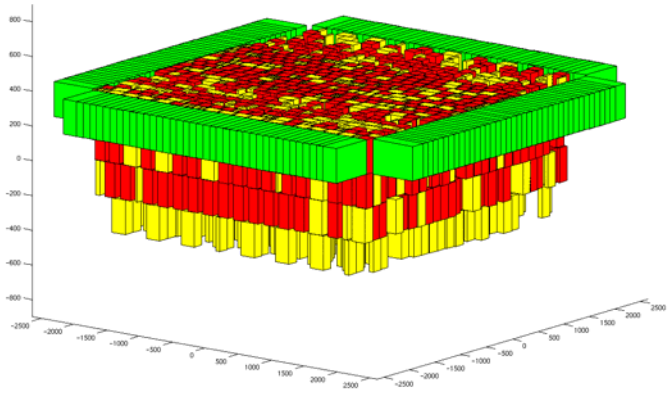


Abb. 2.3.1-3: Legalisierte 3D-Platzierung der Schaltung primary1

Abb. 2.3.1-3 zeigt ein typisches Ergebnis des entwickelten 3D-Platzierungswerkzeugs. Die eingefügten ICVs sind rot dargestellt, platziert wurde die Benchmarkschaltung primary1. Die Ergebnisse in Abb. 2.3.1-4 zeigen deutlich, dass sich für diese Schaltung negativer Slack vermeiden lässt, wenn Pfadkräfte gesteuert durch statische Timing-Analyse eingesetzt werden.

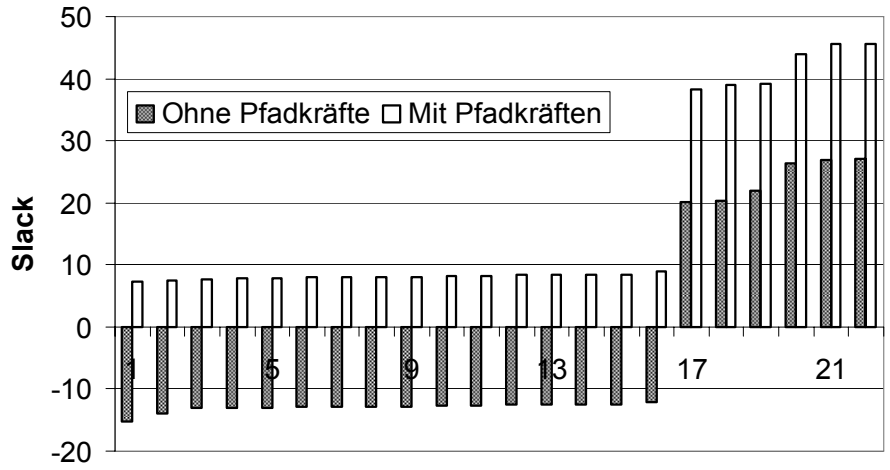


Abb. 2.3.1-4: Verhinderung von negativem Slack durch den Einsatz von Pfadkräften und STA

2.3.2 Beitrag 3.1.2: Timing-Closure durch simultane Werkzeuge (IMS, Leibniz Universität Hannover)

Ziel dieses Beitrags ist der Entwurf eines Werkzeugs zur Platzierung und Verdrahtung, welches das Timing-Closure-Problem löst. Durch eine geeignete Modellierung der Verdrahtung zur Platzierungsphase eines Entwurfs sollen Zyklen zwischen Platzierung und Verdrahtung vermieden werden. Weiterhin soll dadurch die Verdrahtbarkeit des Platzierungsergebnisses verbessert werden, ohne dass Timing-Bedingungen verletzt werden. Es wurde ein gegenüber den Ansätzen in LEONIDAS verändertes globales Verdrahtungsmodell entwickelt. Dieses Modell bietet eine realistische Modellierung von Verdrahtungselementen schon zur Platzierungsphase und erhöht die Konsistenz der Verdrahtungsmodelle. Die Globalverdrahtung wird zu Teilen während der Platzierung festgelegt, eine spezielle Anbindung eines Detailverdrahtungsverfahrens ist also erforderlich. Das zuvor abgeschätzte Timing muss eingehalten werden, bereits festgelegte Verdrahtungsbereiche müssen verwendet werden. Ein solches Vorgehen ist bisher nicht üblich, daher ist die Anbindung an kommerzielle Verdrahter schwierig und mit Implementierungsaufwand verbunden. Während das neue Globalverdrahtungsmodell vielfältige Möglichkeiten zur Beeinflussung sowohl der Globalplatzierung als auch -verdrahtung bietet, lässt sich erkennen, dass das derzeitige Verdrahtungsverfahren nicht geeignet ist. Aus diesem Grund wurde eine Schnittstelle entwickelt, die die Anbindung an kommerzielle Verdrahter ermöglicht. Die Einflussmöglichkeiten der Globalverdrahtung auf das Verdrahtungswerkzeug und die Möglichkeiten zur Verbesserung des Entwurfs wurden untersucht.

Neues Globalverdrahtungsmodell für die kräftebasierte Platzierung

Das neue Globalverdrahtungsmodell besteht aus Segmenten, die wiederum die bereits aus LEONIDAS bekannten Ankerpunkte enthalten. Die Segmente verlaufen ausschließlich in horizontaler und vertikaler Richtung. Den Segmenten kann dabei eine Breite zugewiesen werden. Diese Segmentbreite kann dazu verwendet werden, um die reale Leitungsbreite zu repräsentieren. Das entspricht einem sehr detaillierten Modell. Die Segmentbreite kann aber auch dazu verwendet werden, um Verdrahtungskanäle vorzugeben. Dadurch können auch Detailverdrahter, die auf dem Prinzip der Wegesuche basieren, sinnvoll eingesetzt werden. Um Verdrahtungsüberlappungen zu vermeiden werden abstoßende Kräfte zwischen den Segmenten verwendet. Das Globalverdrahtungsmodell berücksichtigt die Anschlusspins der Zellen. Durch dieses Vorgehen wird die Verdrahtung zur Platzierungsphase noch detaillierter abgeschätzt. In einer erweiterten Implementierung schließen die Verdrahtungssegmente direkt an den Pins der Zellen an. Abb. 2.3.2-1 zeigt schematisch diese Erweiterung. In Abb. 2.3.2-2 ist exemplarisch dargestellt, wie das Globalverdrahtungsmodell simultan zur Platzierung eingesetzt wird.

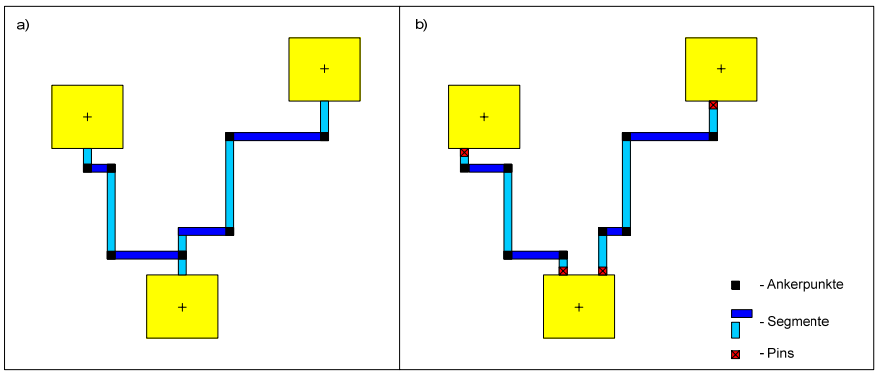


Abb. 2.3.2-1: Zellen mit segmentbasierter Verdrahtung a) ohne und b) mit Berücksichtigung der Pins

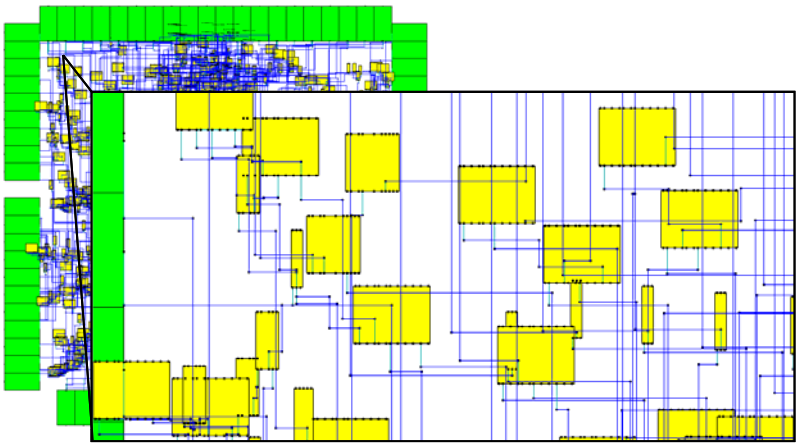


Abb. 2.3.2-2: Platzierung mit pinbasierter Globalverdrahtung

Vorteile und Einflussmöglichkeiten des Globalverdrahtungsmodells

Das segmentbasierte Globalverdrahtungsmodell lässt sich vielfältig einsetzen, um die Verdrahtung abzuschätzen und zu kontrollieren. Die Lage der Segmente wird in einer Dichtematrix eingetragen. Diese Dichtematrix kann zu unterschiedlichen Berechnungen verwendet werden. Es können elektrostatische Kräfte berechnet werden, die auf die Segmente wirken. Unter Berücksichtigung der entsprechenden Bewegungsrichtungen für die Segmente ergibt sich eine entsprechende Segmentbewegung. Es wird eine räumliche Verteilung der Segmente und damit die globale Verringerung von Congestion erreicht. Dieses Vorgehen entspricht einem ersten Schritt der Globalverdrahtung. Die Dichtematrix kann auch verwendet werden, um abstoßende Kräfte auf die realen Zellen zu bestimmen. Durch diese abstoßenden Kräfte bewegen sich die Zellen aus Bereichen mit hoher Congestion heraus und es wird durch diesen simultanen Ansatz die Verdrahtbarkeit des Entwurfs verbessert. Außerdem ermöglicht das segmentbasierte Modell eine Abschätzung der Verdrahtung und trägt so zur Lösung des Timing-Closure-Problems bei.

Abb. 2.3.2-3 zeigt den Einfluss der abstoßenden Kräfte zwischen Segmenten auf die Congestion. Als Maß für die Congestion wurde die Überlappungsfläche der Segmente gleicher Richtung verwendet. Es wurde eine Segementbreite von 4 µm eingesetzt. Es ist deutlich zu erkennen, dass der Einsatz von Segmentkräften (blaue Kurve) zu einer erheblichen Reduktion der Congestion gegenüber einem Ansatz ohne wirkende Kräfte (grüne Kurve) bewirkt.

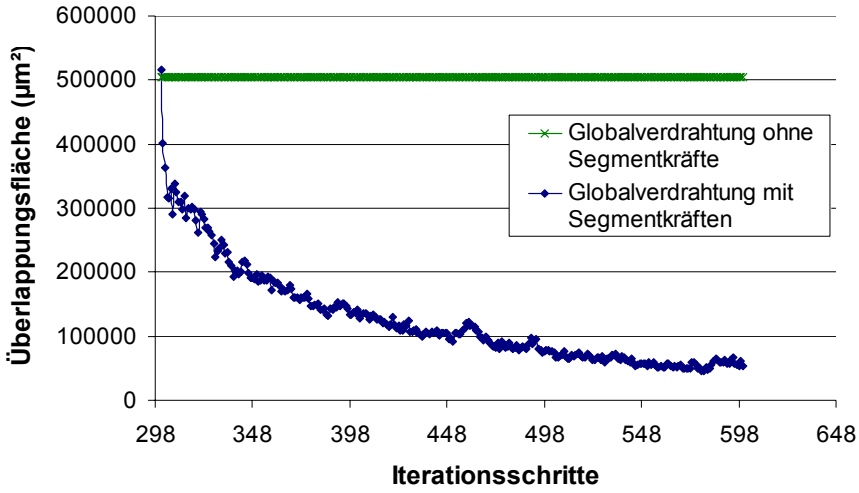


Abb. 2.3.2-3: Einfluss der abstoßenden Kräfte auf Congestion

Schnittstelle zur Anbindung an kommerzielle Verdrahtungstools

Damit das Globlaverdrahtungsmodell die Verdrahtung sinnvoll abschätzt und die simultan zur Platzierung durchgeführten Globalverdrahtungsschritte übertragen werden, ist es sehr wichtig, dass der Verdrahter das Modell entsprechend umsetzt. Aus diesem Grunde wurde eine entsprechende Schnittstelle entwickelt, die eine Anbindung an kommerzielle Verdrahtungstools ermöglicht. Verwendet wird dabei das Lef/Def-Format. Die Ausgabe ist für zwei kommerzielle Verdrahter angepasst, BonnRoute innerhalb der Chipbench-Arbeitsumgebung von IBM und Cadence Nano Route. Damit die Globalverdrahtungspunkte entsprechend berücksichtigt werden, werden diese auf unterschiedliche Weise übergeben. Abb. 2.3.2-4 und Abb. 2.3.2-5 zeigen schematisch die entwickelte Anbindung an die entsprechenden Detailverdrahtungswerkzeuge.

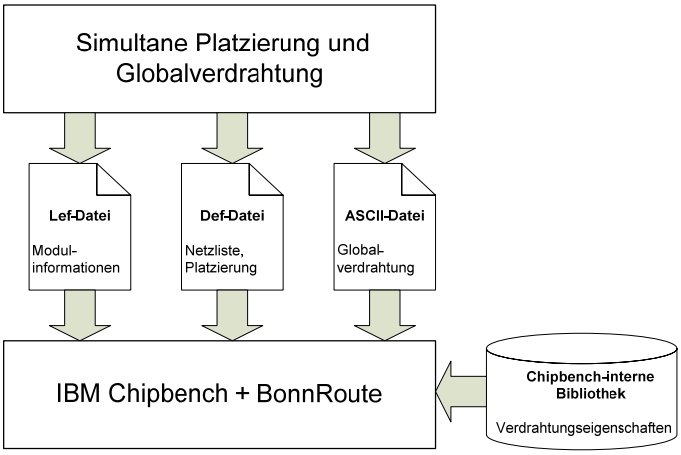


Abb. 2.3.2-4: Anbindung des Verfahrens zur simultanen Platzierung und Globalverdrahtung an den Verdrahter BonnRoute

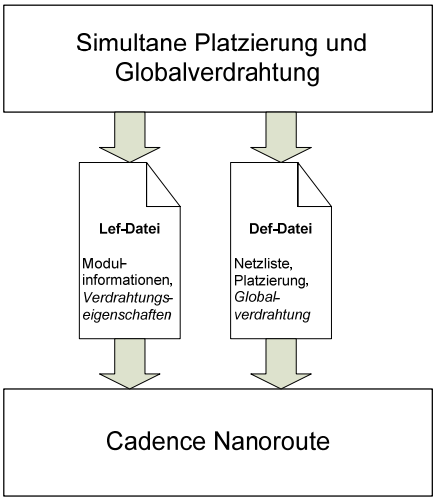


Abb. 2.3.2-5: Anbindung des Verfahrens zur simultanen Platzierung und Globalverdrahtung an den Verdrahter Nanoroute

2.3.3 Beitrag 3.1.3: Timing Aware Test Point Insertion in DFT-Verdrahtungen (NXP)

In modernen digitalen Schaltungen, insbesondere in modernsten Nanometer Technologien dominieren die Verzögerungen auf den Verbindungsleitungen gegenüber den Verzögerungen der Logikgatter. Beim Design großer integrierter Schaltungen (SoC, Multi-Million-Gates, IP/Core based Designs) ist es daher unerlässlich, die Verzögerungen auf den Leitungen in ausreichendem Maße zu berücksichtigen. Dabei muss das zeitliche Verhalten für alle Leitungen auf „Timing Closure“ untersucht und die Schaltung gegebenenfalls angepasst werden.

Zudem bestehen moderne Designs mehr und mehr aus vielen Clocksystemen. Bei solchen Designs mit vielen Schaltungszweigen mit unterschiedlichen Taktabfolgen kommt es dabei aber häufig zu Skew Problemen, das heißt zu einer Taktverschiebung auf Grund von Laufzeitunterschieden in den verschiedenen Leitungspfaden. Dies kann dazu führen, dass ein Signal zu “spät” oder auch zu „früh“ an einem Flip-Flop in der Schaltung ankommt. Daher kann dieses FlipFlop das Signal nicht mehr - oder fälschlicherweise schon- speichern und es kommt unweigerlich zu einem Informationsverlust.

Darüber hinaus werden in modernen Schaltungen zunehmend sogenannte Testpunkte, die zur Regulierbarkeit und Beobachtbarkeit von Signalzuständen dienen, in das Design eingefügt. Durch TPI (Test Point Insertion) kann die Anzahl der Testmuster deutlich verringert und die Testabdeckung erhöht werden. Solche Testpunkte bestehen aus Bauelementen, die in den Verdrahtungspfad eingebaut werden. Dadurch ergeben sich aber wiederum zusätzliche Taktverzögerungen, die zu verstärkten Geschwindigkeitsproblemen führen können.

Eine constraint getriebene Verdrahtungsoptimierung war daher notwendig, die eine Timing getriebene Testpunktberechnung und Implementierung in die Netzliste unterstützt. Dadurch können mögliche Laufzeitprobleme insbesondere auf sehr langen Verdrahtungsleitungen vermieden werden. Die entsprechenden Constraints müssen dabei von dem DfT Insertion Tool und einem STA (Static Timing Analysis) Werkzeug geliefert werden und automatisiert bei der Berechnung der Testpunkte berücksichtigt werden.
Der Schwerpunkt dieses Projektes bestand in der Integration von Testpunkten (TPs) in vorhandene FFRs (Fanout Free Regions). Das Hauptproblem von FFRs ist die riesige Menge an Kombinationsmöglichkeiten, welche sich durch die große Anzahl an Eingängen ergibt. In der Praxis bedeutet dies z.B., dass innerhalb eines Schaltungsteils mehr als 1000 Eingänge auf einen einzigen Ausgang führen.

Daher sind beim Einbau von Testpunkten in FFRs verschiedene Randbedingungen zu beachten und einzuhalten. Das Gesamttiming eines Layouts darf nicht verletzt, zeitliche Vorgaben (Timing Constraints) müssen eingehalten werden. Dies gilt insbesondere für Schaltungen mit vielen unterschiedlichen Clocksystemen. Auch muss die Möglichkeit bestehen, bei den Testpunkten zu unterscheiden, ob diese nur die Daten beobachten sollen, oder ob kontrollierend eingegriffen werden darf.

Ziel der Testpunktintegration ist der automatisierte Einbau von Testpunkten an den dafür erlaubten und sinnvollen Orten innerhalb eines Designs. Dies soll ausschließlich unter Berücksichtigung der genannten Randbedingungen geschehen. Als Ergebnis wurde dadurch eine Verringerung der Anzahl benötigter Testmuster sowie eine Erhöhung der Testabdeckung erzielt.

Fanout Free Region (FFR)

Die Eingangssignale führen innerhalb eines FFRs auf einen gemeinsamen Ausgang. Um alle Gatter innerhalb der FFRs testen zu können, muss eine große Anzahl von Eingangsbelegungen - also Testmustern – erstellt werden, damit einzelne Fehler getestet werden können. Zudem können durch die Wechselwirkungen der Eingangssignale viele Stellen innerhalb des FFR nicht getestet werden. Da zu diesen Positionen in der Schaltung auch kein direkter Zugriff möglich ist, verringert sich die Fehlerabdeckung des gesamten Tests.

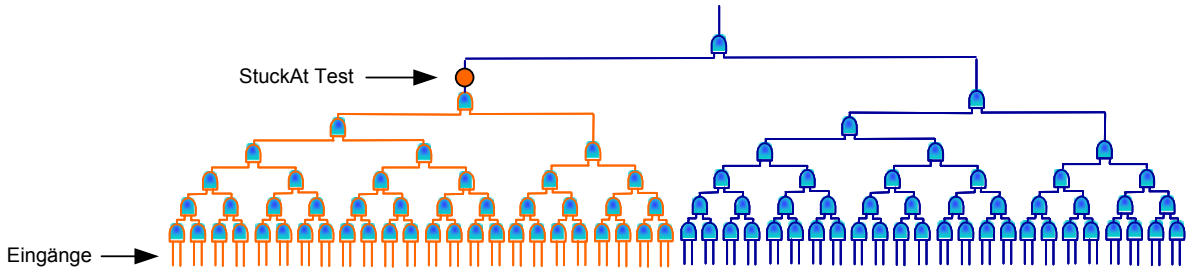


Abb. 2.3.3-1: Fanout Free Region (FFR)

Soll an der im Design angegebenen Stelle ein einfacher StuckAt (SA0, SA1) Test durchgeführt werden, so muss der komplette Pfad (Orange markiert) von den Eingängen des Designs bis zu der zu testenden Stelle berücksichtigt werden. Dies führt zu einer riesigen Anzahl an Testmustern und auch die Testpattern selber werden sehr groß bedingt durch die große Anzahl an Eingängen. In der Praxis bedeutet das, dass zum einen der ATPG-Lauf (Automated Test Pattern Generation) zur Erstellung der Testpattern entsprechend lang wird, zum anderen aber auch die Zeit für die eigentliche Testdurchführung am Tester entsprechend ansteigt.

Kritische Pfade

Ein weiteres Problem von TPIs innerhalb eines FFRs sind die kritischen Pfade. Kritische Pfade sind Signalwege, deren Verzögerungszeiten schon am durch die funktionale Spezifikation vorgegebenen Limit liegen. Hier können sich kleine Verzögerungen innerhalb eines Signalpfades so zu einer messbaren Größe summieren, dass die Signale zu einem Zeitpunkt am Ausgang eintreffen, der über dem kritischen Bereich liegt. Es gibt in jedem Design solche kritischen Pfade. Sie sind besonders auch im Hinblick auf die vorgegebenen Taktzeiten zu beachten.

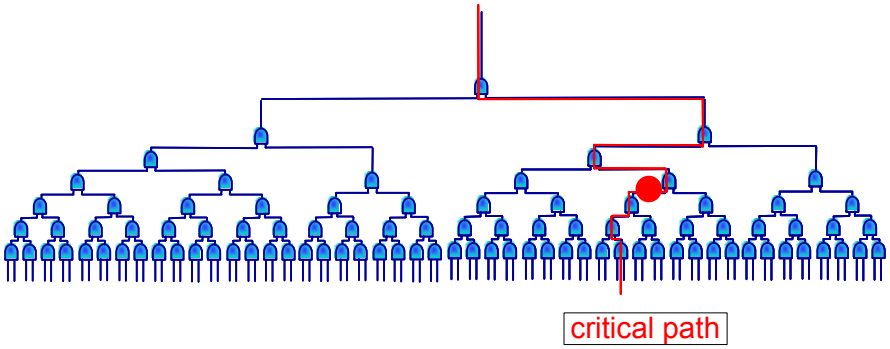


Abb. 2.3.3-2: Kritischer Pfad in FFR

Daher ist der Einbau von Testpunkten innerhalb eines kritischen Pfades besonderen Rahmenbedingungen unterworfen. Beim Einbau der TPI Hardware muss bekannt sein, welche Signalverzögerung im kritischen Pfad überhaupt noch tolerierbar ist. Die Verzögerung auf den Signalleitungen selbst liefern hier die kommerziell verfügbaren Static-Timing-Analysis (STA) Werkzeuge.

STA-Kopplung

Die vom STA ermittelte Information über das Timing auf den strukturellen Pfaden im Design wird in ein internes Format gewandelt, damit das Werkzeug Amsal, welches für die Kalkulation der möglichen Testpunkte genutzt wird, diese Timnig Constraints verarbeiten kann. Es wurden verschiedene Konverter entwickelt, die neben den kommerziellen STA Werkzeugen am Markt auch vom Benutzer definierte Pfadlisten verarbeiten können.

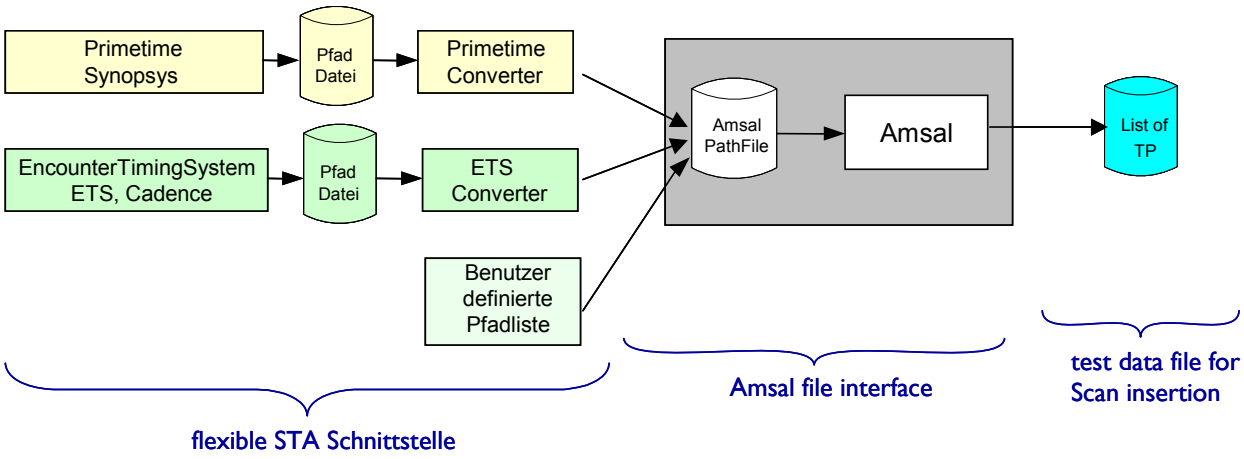


Abb. 2.3.3-3: Kopplung an STA Werkzeuge

Testpunkte

Ein Testpunkt kann prinzipiell durch das Einfügen eines zusätzlichen, logischen Bauelements realisiert werden. Hier wurden drei verschiedene Arten von Testpunkten betrachtet.

- Testpunkte, die innerhalb des Designs (kontrollierend) Signale einprägen können (TP controllable only)

- Testpunkte, die nur die Signale beobachten (TP observable only)

- Testpunkte, die Beides beinhalten. Sie beobachten die entsprechenden Daten und können bei Bedarf Signalzustände in den Leitungspfad einprägen (TP controllable and observable)

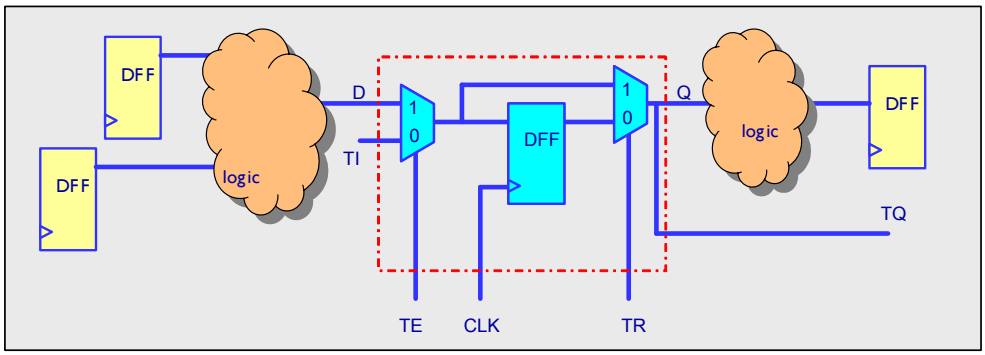


Abb. 2.3.3-4: Testpunkt für „Control“ und „Observe“

Zum Einbau solcher Testpunkte nutzt der neue entwickelte Algorithmus verschiedene Analysemethoden, um den besten Ort für TPI zu bestimmen. Dazu werden entsprechende Kostenfunktionen berechnet. Jeder Signalleitung wird hierzu ein Kostenanteil für einen bestimmten Fehler zugeordnet. Die globalen Kosten der Schaltung errechnen sich damit aus der Sum-

mer der Einzelbeiträge. Der Testpunkt Kandidat, der am meisten zu dieser Gesamtkostenreduktion beiträgt, wird eingebaut.

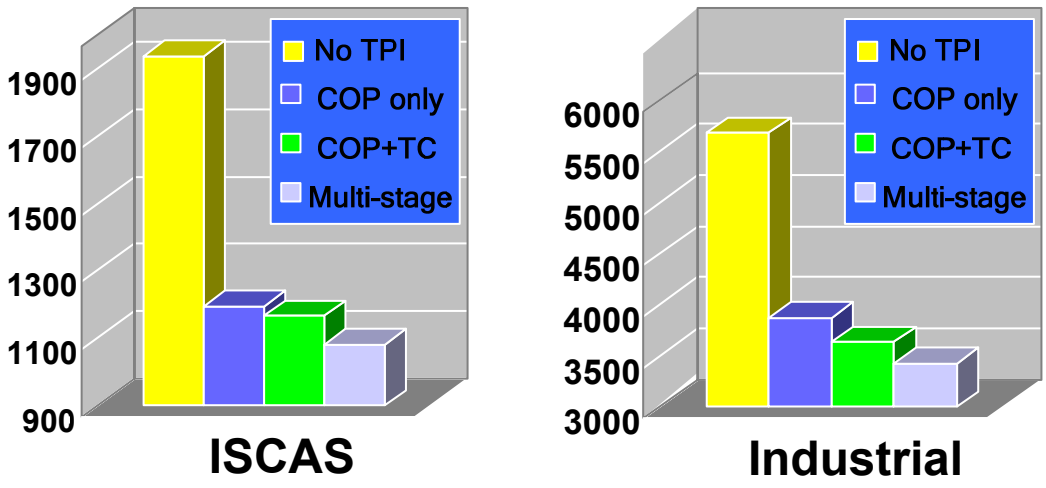


Abb. 2.3.3-5: Vergleich verschiedener TPI Analysemethoden

In Abb. 2.3.3-5 sind verschiedene Analysemethoden sowohl für kleinere ISCAS Schaltungen, als auch für aktuelle Industrieschaltungen gegenübergestellt. Auf der y-Achse ist die Anzahl der Testmuster aufgetragen. Der Einbau von Testpunkten führt hier zu deutlichen Reduktionen in der Anzahl der Testmuster. Für den Einbau der Testpunkte in FFR Strukturen wurde daher im weiteren Projektverlauf die Multi-Stage Methode verfolgt, welche zu der besten Testmusterreduktion geführt hat.

Methoden zur Größenreduktion von FFRs

Wie oft ein FFR gesplittet werden sollte, ist abhängig von seiner Größe. Die Anzahl kann entweder berechnet oder statisch festgelegt werden. Die Entscheidung, an welcher Stelle ein FFR genau getrennt wird kann auch nach unterschiedlichen Kriterien erfolgen.

Daher wurden 4 Methoden (A,B,1,2) untersucht, nach denen die Entscheidung bezüglich der FFR Aufteilung getroffen werden kann:

Methode **A:** Ist die Anzahl der Eingänge eines FFR größer als ein vorgegebener, gesetzter Wert, so wird der FFR gesplittet.

$\#FFR_{INPUTS} > FFR_{THRESHOLD}$ ➔ fixed

Methode **B:** Ist die Anzahl der Eingänge eines FFR größer als ein dafür mittlerer Wert, der schaltungsabhängig berechnet wird, so wird der FFR gesplittet. Dabei wird die Verteilung der FFR Strukturen über die gesamte Schaltung berücksichtigt. Die Verteilung der FFRs im Design wird hier in einer vorgeschalteten Untersuchung bestimmt.

$\#FFR_{INPUTS} > FFr+3*\sigma_{FFR}$ ➔ distribution

Die Methoden A und B definieren, wann bei großen FFRs das Splitting durchgeführt werden soll. Wie die Aufteilung durchgeführt werden soll, wird durch die folgenden zwei Methoden beschrieben:

Methode **1:** Erhalten der bestmöglichen FFR Größenreduktion durch gleich dimensionierte FFRs. Dabei werden die FFRs durch Testpunkte aufgesplittet.

Methode **2:** Erzielen der bestmöglichen Test Count (TC) Reduktion durch den Einsatz des kleinsten TC Wertes im FFR.

Die 4 Methoden können miteinander variiert werden, so dass sie in den Kombinationen A1, A2, B1, B2 angewandt werden können.

Um die vier genannten Methoden vergleichen zu können und um praxisnahe Daten zu erhalten, wurden diverse Testläufe mit Schaltungen durchgeführt, in denen große FFRs vorhanden sind. Die Testläufe wurden nach den folgenden Kriterien durchgeführt:

- Keine Einfügung von Testpunkten
- Einfügung von Testpunkten in der Schaltung ohne Reduktion der FFRs
- Einfügung von Testpunkten in der gesamten Schaltung mit Reduktion der großen FFRs nach den Methoden A1, A2, B1, B2, wobei bei jeder Methode die gleiche Anzahl an Testpunkten eingefügt wird.

Die Ergebnisse der Untersuchungen zeigen sehr deutlich, dass durch die Größenreduktion der FFRs und dem Einsatz von Testpunkten die Anzahl der benötigten Testmuster deutlich reduziert werden kann. Dies wirkt sich vor allem bei Designs aus, deren Anzahl an Testmustern ohne den Einsatz von Testpunkten von vornherein sehr hoch ist. Hier kann, je nach Design, eine Verringerung des Testdatenvolumens auf bis zu ca. 25% der ursprünglichen Anzahl bei gleichbleibender oder sogar steigender Fehlerabdeckung erreicht werden. Wie hoch eine Testdatenreduktion ausfällt ist bei diesen Untersuchungen abhängig von der applikationsspezifischen Testbarkeit des Designs selbst und lässt sich daher nicht vorhersagen. Deutlich ist das Testergebnis auch bezüglich der einzelnen, kombinierten Methoden. Sie führen im Durchschnitt zu einer ähnlichen Reduktionsrate.

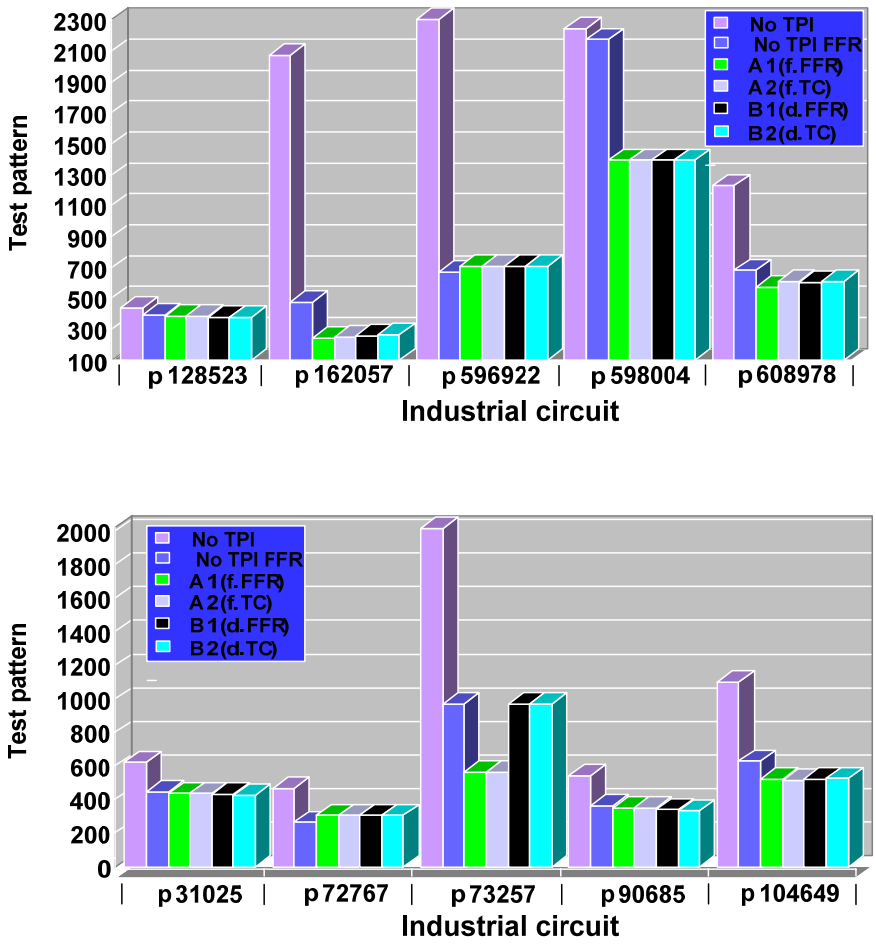


Abb. 2.3.3-6: Reduktion der Testmuster für verschiedene FFR Aufteilungen

Fasst man die Einzelergebnisse zusammen, ergibt sich das Bild in Abb. 2.3.3-7. Hier ist zu erkennen, dass die Methoden A1 und A2 ein leicht verbessertes Ergebnis vor den anderen

beiden Methoden liefern. Dies bedeutet beim Aufteilen großer FFRs, dass der Splitfaktor nicht extra schaltungsbezogen berechnet werden muss, sondern mit einem festen vorgegebenen Wert gearbeitet werden kann. Dies erspart die Strukturanalyse des Designs zur Erkennung aller FFRs in einem ersten Schritt.

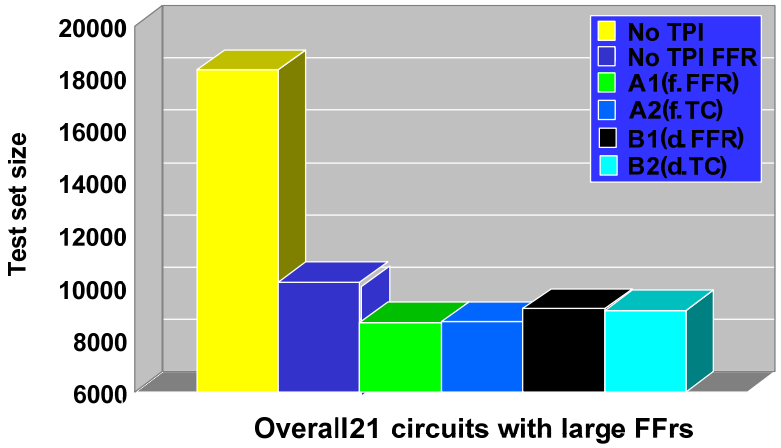


Abb. 2.3.3-7: Vergleich verschiedener Methoden

TPI Flow

Um die Ziele dieses Projektes, der automatisierte Einbau von Testpunkten an den erlaubten und sinnvollen Orten unter Berücksichtigung des Gesamtdelays, des Timings der Leitungen sowie der Anzahl der Testmuster erreichen zu können, ist ein zeitlich gesteuerter Ablauf (Timing aware TPI Flow) notwendig. In dieser Aufgabe wird ein Prototyp eines timing optimierten DFT Hardware Insertion Tools entwickelt werden, das dafür sorgt, dass der automatische Einbau von Testpunkten zur Kontrollierbarkeit und Beobachtbarkeit insbesondere in so genannten Fan-out Free Regions (FFR), unter Berücksichtigung der gegebenen Randbedingungen des gesamten Timings der Schaltung, erfolgt.

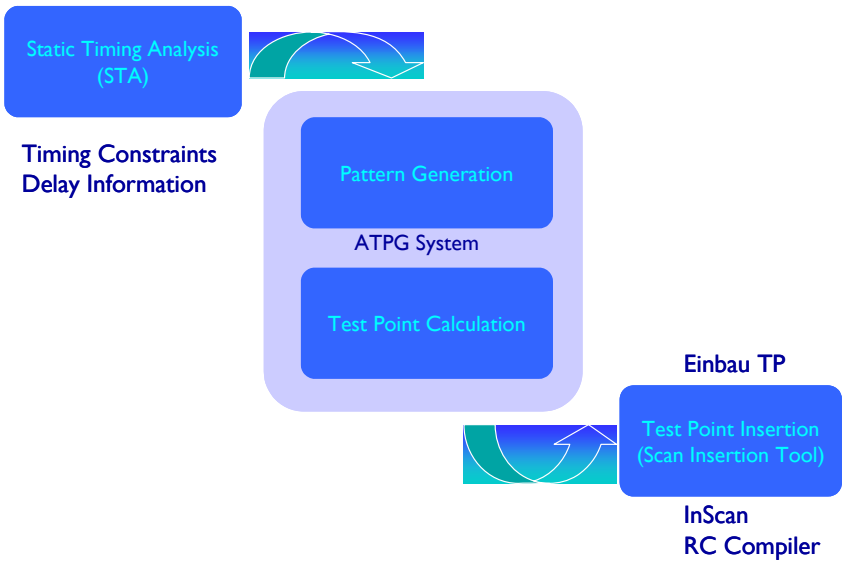


Abb. 2.3.3-8: Test Point Insertion Flow

Um eine timing getriebene Testpunktberechnung und Implementierung in die Netzliste zu unterstützen ist eine constraint getriebene Verdrahtungsoptimierung unerlässlich. Diese ver-

hindert mögliche Laufzeitprobleme bei sehr langen Verdrahtungsleitungen. Eine Randbedingung ist auch, dass Testpunkte, die zusätzliche Verzögerungsglieder darstellen, in Timing-kritischen Signalpfaden, z.B. sehr langen Verdrahtungsleitungen, nur unter Berücksichtigung des Gesamt-Delays der Leitungen eingebaut werden dürfen.

Die entsprechenden Constraints müssen dabei vom DfT Insertion Tool und dem ausgewählten STA geliefert und automatisiert bei der Berechnung der Testpunkte berücksichtigt werden.

Sind diese Voraussetzungen erfüllt, kann der ATPG die Testpunktberechnungen sowie die Testmustererzeugung durchführen. Im Anschluss daran können die Testpunkte in das Design integriert und entsprechend ihrer Vorgaben genutzt werden.

Die Testpunktberechnung, Timing-Analyse und der Einbau der DfT Hardware in die Netzliste müssen automatisiert als Einheit betrachtet werden.

Zusammenfassung

Im Rahmen dieses Projektes wurden Algorithmen zum automatisierten Einbau von Testpunkten in FFRs erstellt und die Vorgaben für den Einbau von Testpunkten wurden definiert. Dies steht in einer prototypischen Implementierung als Pilotversion zur Verfügung. Dabei wurden drei bekannte TA (Testability Analysis) Methoden eingesetzt. Sie identifizieren die Testprobleme innerhalb eines Designs. Um herauszufinden, an welchen Stellen die Testpunkteinfügung durchgeführt werden soll, wurde ein neuer Algorithmus entwickelt. Dieser benutzen die TA Methoden innerhalb einer Kostenfunktionsberechnung um die beste Position von Testpunkten zu bestimmen. Der Testpunkt welcher am meisten zur Kostenreduktion beiträgt, wird in das Design eingebaut.

Um bei großen FFRs das Datenvolumen reduzieren zu können wurden Methoden entwickelt und untersucht, mit deren Hilfe FFRs sinnvoll durch zusätzliche Testpunkte aufgeteilt werden können. Bei Methode A wird statisch ein festgelegter Wert definiert während dieser Wert bei Methode B berechnet wird. Zum anderen wird definiert, wie das Splitting durchgeführt werden soll. In Methode1 werden die FFRs größengleich aufgesplittet. In Methode 2 geschieht die Aufsplittung mit Hilfe einer Berechnungsfunktion. Die vier Methoden können miteinander variiert werden. Untersuchungen an aktuellen Schaltungen haben ergeben, dass keine der vier Methode A1, A2, B1 und B2 sich besonders hervorhebt. Bei der Durchschnittsanalyse ist allerdings zu erkennen, dass die Methoden A1 und A2 ein leicht verbessertes Ergebnis vor den anderen beiden Methoden liefern. Dies bedeutet beim Aufteilen großer FFR Strukturen, dass der Splittfaktor nicht extra schaltungsbezogen berechnet werden muss sondern dass mit einem festen vorgegebenen Wert gearbeitet werden kann, was zu einer weiteren Vereinfachung des Test Point Insertion Flows führt.

2.3.4 Beitrag 3.2.1: Mixed-Signal-Designflow unter Verdrahtungsaspekten für Broadcast-Media-Applications (ATMEL)

Die im Rahmen von LEONIDAS+ durchgeführten Arbeiten basieren auf einem Designflow-Vorschlag aus dem Vorgängerprojekt LEONIDAS. Dieser zielte darauf ab, mit Hinblick auf eine frühzeitige Abschätzung des Timingverhaltens von parallel verdrahteten Verbindungsstrukturen einen erweiterten standardzellenbasierten Designflow zu entwickeln. Dies kann mit einer frühzeitigen Realisierbarkeitsprüfung gleichgesetzt werden.

So wurde die Busmodellierung um ein Modell zur Treiberlinearisierung sowie ein Modell zur Signalinterpretation erweitert. Das umgesetzte Konzept ist eine lineare, zustandsabhängige Modellierung des Treiberverhaltens, die sowohl das Treiberverhalten bei Signalübertragung als auch bei Signaleinkopplung nachbildet. Die Signalinterpretation bildet das Interface zu den bewährten Simulationsmethoden und der benutzten Signaldarstellung im digitalen Designflow. Dabei wird das durch kapazitive Kopplung beeinflusste Ausgangssignal einer Busleitung durch eine Spannungsflanke angenähert, so dass am Empfängergatterausgang ebenfalls eine Annäherung an das tatsächliche Ausgangssignal stattfindet.

Die Integration des kompletten Modells und der entwickelten Methoden in eine Simulationsumgebung ist unter Verwendung der Beschreibungssprache SystemC umgesetzt worden. Durch eine Kombination aus bestehenden Tools zur Leitungsverdrahtung, Programmierschnittstellen zu den Austauschformaten LEF und DEF (siehe Kapitel 0) und eigens entwickelten Algorithmen wurden Methoden entwickelt, die es erlauben, parallel verdrahtete Busstrukturen in einer frühen Phase des Entwicklungsablaufs gezielt zu erzeugen, die so erzeugten Strukturen zu analysieren und anschließend für Simulationen und Realisierbarkeitsuntersuchungen benötigten Modell-Parameter zu extrahieren.

Einleitung

Der zugrunde liegende Designflow für standardzellenbasierte Designs sieht eine frühzeitige Betrachtung von Toplevel Verbindungsstrukturen vor. Die betrachteten Leitbahnen werden dabei in Form eines parallel verdrahteten Leitungsbündels (Bus) im Design realisiert. Das Vorgehen dient einer ersten Abschätzung und Realisierbarkeitsprüfung des Leitungsverhaltens kritischer Leitbahnen bereits während der Schaltungsentwicklung. Die Methode erlaubt es, beim Floorplanning die Topologie der betrachteten Toplevel-Verbindungsstrukturen zu definieren, indem der Verlauf des entsprechenden Buskanals, in welchem die betrachteten Leitungen geführt werden soll, definiert wird. Die anschließend extrahierten Bus-Parameter, welche die Topologie des Busverlaufs abbilden, werden in die Datenbasis eines simulationsfähigen Busmodells aufgenommen. In einem Simulationsschritt wird der Einfluss von Koppeleffekten untersucht. Im Vordergrund steht dabei die Bewertung von Crosstalkeffekten hinsichtlich Auswirkungen auf das Timing und die Signalintegrität der betrachteten Top-Level-Verbindungen. Ist schon in dieser frühen Phase des Schaltungsdesigns zu erkennen, dass bei der geplanten Leitungsführung die abgeschätzten Koppeleffekte zu Timing- oder Signalintegritätsverletzungen führen, kann der Floorplan noch im Entwurfsstadion optimiert werden. Dadurch entfallen spätere - wesentlich arbeitsintensivere - Änderungsarbeiten an Layouts, an denen sonst der Standardzellbereich oder die Verdrahtung der Versorgungsleitungen mit abgeändert werden müsste. Eine solch frühzeitige Identifikation von Problemstellen verspricht also die Reduktion der Turnaround-Zeiten während der Entwicklung und somit auch die Reduktion der Entwicklungskosten.

Die im Folgenden geschilderten Arbeiten sind eine Fortführung der Arbeiten aus Leondias. Es wurden Erweiterungen an dem Modellierungskonzept für parallel verdrahtete Busstrukturen entwickelt. Diese Methoden wurden in SystemC abgebildet und es wurde ein parametrisierbares Simulationsmodell erzeugt. Zur gezielten Definition von Busstrukturen sowie zur Extraktion von Modellparametern für das Simulationsmodell wurden weitere Methoden entwickelt. Diese neuen Vorgehensweisen wurden an einem Beispiel getestet. Erste Ergebnisse zum zeitlichen Aufwand einer Realisierbarkeitsprüfung von parallel verdrahteten Leitungsbündeln konnten so gewonnen werden.

Busmodellerweiterungen

Modellierung des Treiberverhaltens

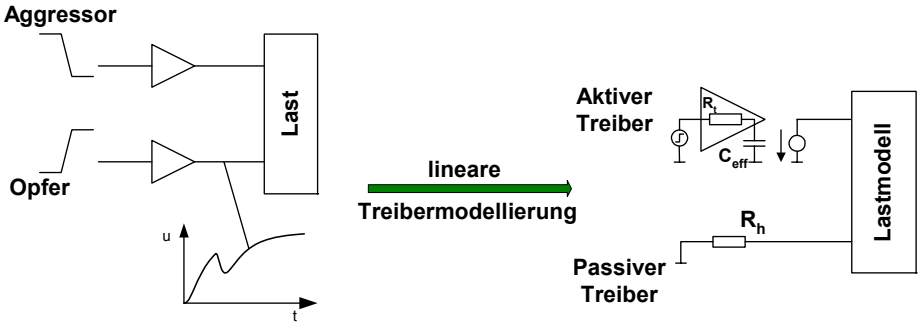
Das Schaltverhalten von CMOS-Treibern kann im Allgemeinen nicht als linear angenommen werden. Üblicherweise wird es bei der Modellierung das Treiberverhalten durch einen Treiberwiderstand und eine effektive Kapazität modelliert [35]. Bei einer Betrachtung von gekoppelten Strukturen ist die effektive Last von dem Schaltverhalten benachbarter Leitungen abhängig. Das bedeutet: Die effektive Last hängt davon ab, ob, wie viele, welche und in welche Richtung Signalwechsel auf den benachbarten Leitungen stattfinden.

Bei der angewandten Verhaltensmodellierung findet eine Fallunterscheidung zwischen einem entkoppelten und einem einkopplungsbedingten Übertragungsverhalten eines Treibers statt. Man unterscheidet dabei zwischen einem aktiven und einem passiven Modell des Treibers. Das aktive Modell beschreibt das Treiberverhalten während eines Zustandswechsels unter Vernachlässigung der Koppeleinflüsse durch benachbarte Leitungen auf das Übertragungsverhalten. Es wird also ein Umschaltvorgang betrachtet, der vom betrachteten Treiber selbst aktiv getrieben wird. Das passive Modell eines Treibers dient zur Erfassung der Koppeleinflüsse, bedingt durch kapazitives Übersprechen. Das Modell beschreibt die Fähigkeit eines Treibers einen eingekoppelten Strom abzuführen sowie den aktuellen Zustand zu halten bzw. den eigens getriebenen Umschaltvorgang aufrechtzuerhalten. In beiden Fällen wird ein Treiber durch lineare Elemente modelliert. Aufgrund des nichtlinearen Verhaltens von CMOS-Treibern ist eine unabhängige Modellierung der unterschiedlichen Effekte nicht möglich. Um dennoch eine Abschätzung für das nichtlineare Verhalten zu erhalten bedient man sich einfacherer Modelle, welche auf einer linearisierten Modellbildung basieren. Die Effekte Umschaltvorgang und Koppeldämpfung lassen sich im Fall von digitalen Treiberelementen mit gekoppelten Lasten derart linearisieren, dass durch eine Überlagerung beider Modelle die tatsächliche Verhaltensweise der Treiber abgebildet wird.

Wie aus der Abb. 2.3.4-1 zu entnehmen ist, wird das Verhalten des aktiven Treibers durch eine Reihenschaltung aus einer aktiven Spannungsquelle, dem Treiberwiderstand und einer effektiven Lastkapazität modelliert. Das passive Verhalten eines Treibers wird durch einen passiven Haltewiderstand modelliert. Bei der aktiven Modellierung des Treiberverhaltens werden Koppeleinflüsse benachbarter Leitungen nicht berücksichtigt.

Die Beschreibung des passiven Treibermodells erfolgt mittels eines Widerstands R_h nach Masse. Das nichtlineare Verhalten des Treibers bei Einkopplung wird durch die Verwendung eines parameterabhängigen Wertes für R_h nachgebildet. Dieser wird in Abhängigkeit vom aktuellen Zustand des betrachteten Treibers ermittelt. Die zur Charakterisierung der Zustände verwendete Größe ist der Treiberstrom in Abhängigkeit von der Eingangs- als auch der Ausgangsspannung des Treibers. Hierfür wird auf den Vorschlag von [36] zurückgegriffen und im Vorfeld eine einmalige Charakterisierung der verwendeten Treiberzellen durchgeführt.

a) Nachbildung des Treiberverhaltens unter Verwendung von zustandsabhängigen linearen Elementen zur Modellierung der Koppeleinflüsse



b) Überlagerung der eingekoppelten Signale und der ungestörten Signalübertragung eines Treibers zu einem resultierenden Signalverlauf (Superposition)

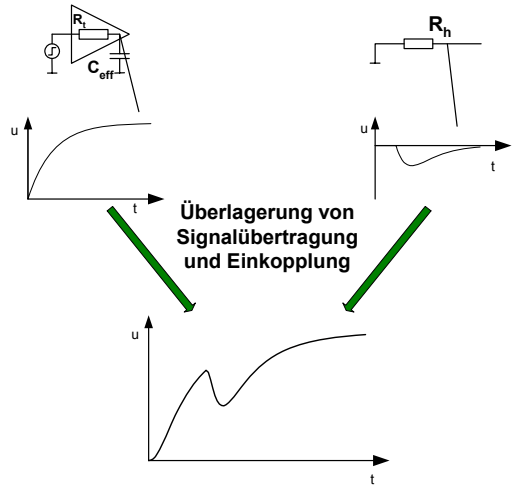
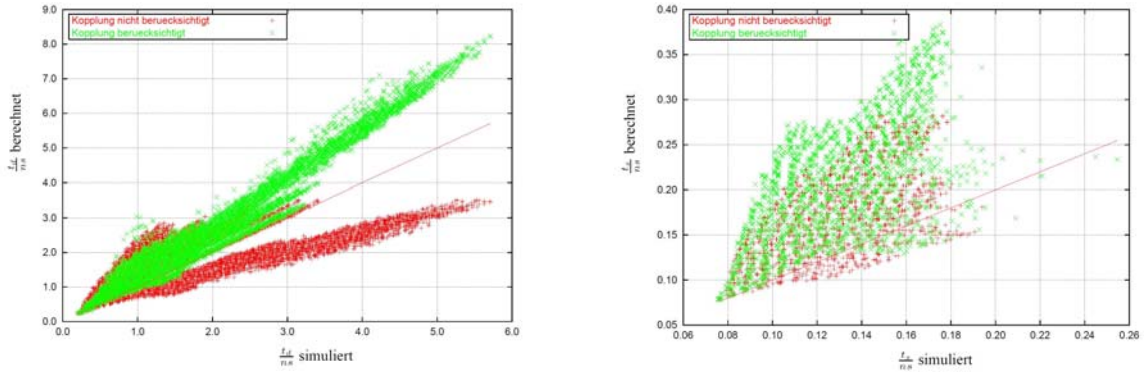


Abb. 2.3.4-1: Treibermodellierung unter Verwendung linearer Elemente

Modellgültigkeit

Bei den Untersuchungen zur Modellgültigkeit wurden die Verzögerungszeit und die Flankendauer auf Basis eines Busmodells inklusive der Treiber- und Empfängerverzögerung unter Variation von Busbreiten durchgeführt. Referenzsimulationen wurden mit Spectre durchgeführt. Es wurden sowohl Modelle mit Berücksichtigung der kapazitiven Kopplung 1. Ordnung als auch Modelle ohne Berücksichtigung von Kopplung mit entsprechenden Spectre-Simulationen verglichen. Die Abb. 2.3.4-2 zeigt exemplarisch für eine 10-Bit-breite Busstruktur einen Vergleich zwischen Spectre-Simulationen und dem entwickelten Modell. Es ist eine relativ gute Übereinstimmung zwischen den berechneten und den simulierten Werten für die Verzögerungszeit zu erkennen, was für eine erste Abschätzung der Verzögerungszeit ausreichend ist. Bei Betrachtungen der Flankendauer ist zu erkennen, dass die berechneten Werte deutlicher von den simulierten Werten abweichen als bei den Verzögerungszeiten. Jedoch kann die Flankendauer, in Relation zu der Verzögerungszeit, als von eher untergeordneter Bedeutung angesehen werden, da diese einen relativ geringen Beitrag zur Gesamtverzögerungszeit beiträgt. Im Allgemeinen ist zu beobachten, dass das Modell bei der Bestimmung der Verzögerungszeiten eine Tendenz zu Überabschätzung besitzt und somit als eine zusätzliche Sicherheit bei der Analyse der Timinganforderungen angesehen werden kann. Bemerkenswert ist, dass bessere Ergebnisse bei Verwendung eines Busmodells mit Berücksichtigung der Koppeleffekte erzielt werden.



(k) Verzögerungszeit (l) Flankendauer

Abb. 2.3.4-2: Vergleich von Verzögerungszeiten und Flankendauern mit Spectre-Simulationsergebnissen für eine 10-Bit-breite Busstruktur

Signalinterpretation

Um den ermittelten, durch kapazitive Kopplung beeinflussten Signalverlauf am Ausgang einer Busleitung für die Analyse des Zeitverhaltens unter Verwendung bewährter Methoden nutzbar zu machen, wurden so genannte äquivalente Signalverläufe [37] eingeführt. Zur Bestimmung des äquivalenten Signalverlaufs wird das Verhalten des Empfängergatters berücksichtigt. Dabei wird ein definierter Kurvenverlauf am Eingang eines Empfängergatters derart an den tatsächlichen Verlauf der Eingangsspannung angenähert, dass das resultierende Ausgangssignal an das tatsächliche angenähert wird. Die in [37] vorgestellte Methode ist in [38] erweitert worden. Das prinzipielle Vorgehen der Methode basiert auf der Minimierung des mittleren Fehlerquadrats (LSM: Least Square Method) zwischen dem angenommenen und dem tatsächlichen Kurvenverlauf am Gattereingang. Wobei zusätzlich das Fehlerquadrat mit einem Gatterspezifischen Gewichtungsfaktor $k_e(t)$ gewichtet ist. Das Vorgehen entspricht mathematisch der Minimierung des Integrals $\int_{-\infty}^{\infty} k_e(t)(v^{eff}(t)-v(t))^2\,dt$. Dabei ist $v^{eff}(t)$ der definierte und $v(t)$ der tatsächliche Spannungsverlauf am Eingang des Empfängergatters. Der Gatterspezifische Faktor $k_e(t)=\left|\frac{dv_{aus}(t)}{dv_{ein}(t)}\right|$ beschreibt die Abhängigkeit der Signaländerung am Ausgang $dv_{aus}(t)$ zu der Signaländerung am Eingang $dv_{ein}(t)$ des Gatters und kann in diesem Zusammenhang als Gatterempfindlichkeit angesehen werden.
Bei der Bestimmung des Gewichtungsfaktors werden Spannungsverläufe ohne Koppeleinflüsse angenommen.
Um eine Weiterverarbeitung des Signals zu ermöglichen wurde für v(t) der Kurvenverlauf einer Rampe angenommen. Diese Darstellungsform ermöglicht eine eindeutige Zuordnung der Signalverzögerungszeit sowie der Flankendauer eines Signals. Die Abb. 2.3.4-3 veranschaulicht das beschriebene Vorgehen zur Bestimmung eines qualitativ definierten „äquivalenten“ Signalverlaufs.

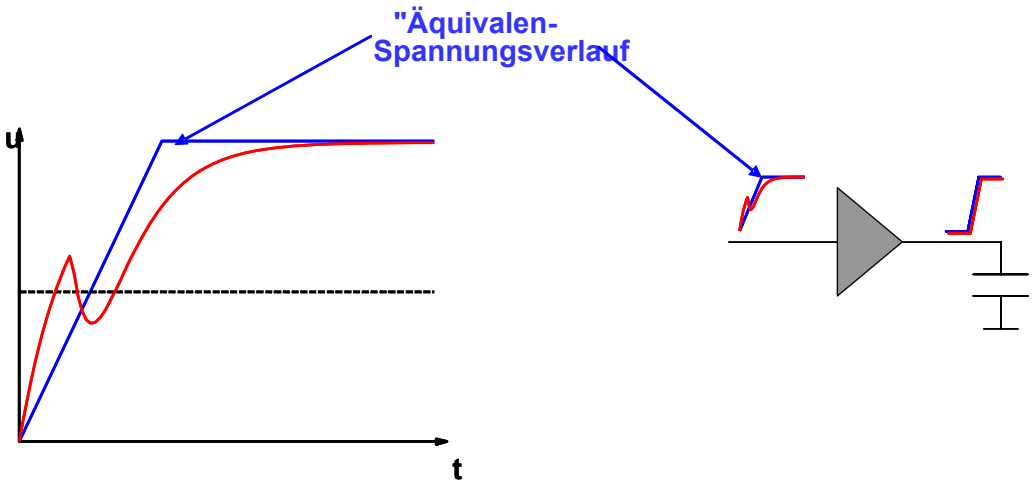


Abb. 2.3.4-3: Definition eines "Äquivalenten" Signalverlaufs

Schnittstellen zu Entwurfswerkzeugen

Schnittstelle zur Simulationsumgebung – SystemC-Implementierung

Zur Beschreibung des Busmodells wurde SystemC als Beschreibungssprache eingesetzt. SystemC erlaubt eine Abbildung von zeitlich parallel ausgeführten Prozessen und kann die nötigen Schnittstellen zu den Hardwarebeschreibungssprachen VHDL und Verilog implementieren. Da SystemC eine C++-Klassenbibliothek ist, besteht die Möglichkeit, im Gegensatz zu VHDL oder Verilog, komplexe Algorithmen, welche zur Beschreibung des Busverhaltens sowie zur Implementierung weiterer Methoden nötig sind, umzusetzen. Die Möglichkeit der Verwendung bereits vorhandener C++-Klassenbibliotheken zur Beschreibung von SystemC-Modellen erlaubt die Nutzung bekannter und bewährter Methoden. So konnte z.B. die GNU Scientific Library (GSL) [39] zur Anwendung von numerischen Methoden eingesetzt werden.

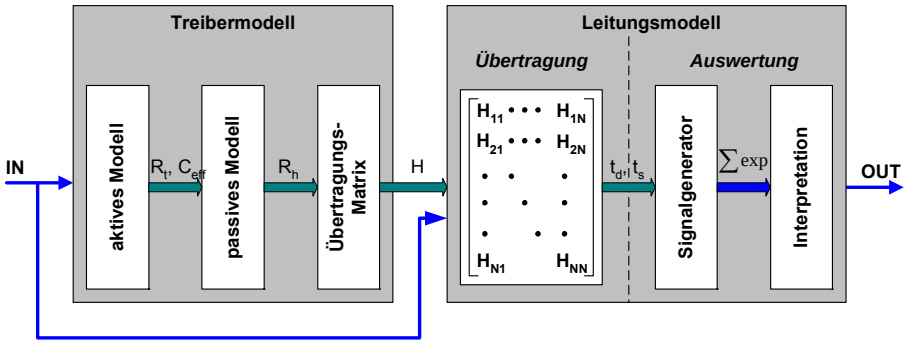


Abb. 2.3.4-4: Simulationsmodell für ein parallel verdrahtetes Leitungsbündel

Im Wesentlichen kommen zwei Module zum Einsatz. Das Treibermodul dient der Treibermodellierung mit dynamischer Übertragungsmomentberechnung. Das Übertragungsmodul bildet das Signalübertragungsverhalten eines Astes der Baumstruktur eines Busses ab. Die Kommunikation zwischen den einzelnen Modulen wird unter Verwendung von komplexen Signaltypen wie Matrizen realisiert. Bei Berücksichtigung des nichtlinearen Verhaltens von Treiberelementen ist es notwendig die Übertragungsmomente der Treiber dynamisch und in Abhängigkeit der Eingangssignale zu berechnen und diese an die Übertragungsmodule zu überge-

ben. Des Weiteren werden die Eingangssignale als Modifikation der ursprünglichen Eingangssignale an das Übertragungsmodul übergeben.

Schnittstellen zu P&R-Tools - Leitungsdefinition und Parameterextraktion

Für die Realisierung der Möglichkeiten zur automatisierten Kanal- und Busverdrahtung sowie der automatisierten Extraktion von Modellparametern sind die Programmierschnittstellen (**API**: **A**pplication **P**rogramming **I**nterface) zu den Austauschformaten **LEF** (**L**ibrary **E**xchange **F**ormat) und **DEF** (**D**esign **E**xchange **F**ormat) verwendet worden. Das LEF/DEF-Austauschformat ist ein standardisiertes Datenformat und wird von den führenden Herstellern von Entwurfswerkzeugen unterstützt. So erfordern zumeist die im Backendbereich verwendeten P&R-Tools die Nutzung dieser Datenformate.
Im Allgemeinen ermöglicht die Verwendung einer API dem Benutzer eines bestimmten Softwaretools eigene individuelle Ergänzungen und Funktionen als Erweiterung zur vorhanden Funktionalität zu implementieren. Für die betrachtete Aufgabe bildet die Kombination aus LEF/DEF-API und dem Austauschformaten LEF und DEF eine Schnittstelle zu dem verwendeten Tool. Die Durchführung der Arbeiten basierte auf der Verwendung der Encounter-Plattform von Cadence.

Die Definition des Leitungsverlaufs lässt sich in zwei Schritte unterteilen. Diese sind die Definition des Buskanals und die darauf folgende Busverdrahtung.

Definition des Buskanals

Während der Buskanaldefinition findet das Verlegen eines so genannten Buskanals statt. Der Buskanal ist in diesem Zusammenhang ein temporäres Konstrukt und Platzhalter für das eigentliche parallel verdrahtete Leitungsbündel (Bus). Aus dem Verlauf des Buskanals lässt sich früh eine erste Aussage über den Leitungsverlauf und somit auch eine erste Prognose über die Realisierbarkeit der Verdrahtung ableiten. Die Basisinformationen die ein Routing-Tool benötigt sind sowohl ein vorplatziertes Design als auch die entsprechenden Designregeln (Technologie und Design). Um das Verlegen eines Buskanals mittels eines bestehenden Routing-Tools für integrierte Schaltungen zu ermöglichen wurden Erweiterungen der Designregeln innerhalb der entsprechenden LEF-Dateien vorgenommen.

Detaillierte Busverdrahtung

Während der detaillierten Busverdrahtung wird im Wesentlichen der zuvor verlegte Buskanal durch die eigentliche Busstruktur ersetzt. Dieser Schritt kann nach der erfolgreich bestandenen Realisierbarkeitsuntersuchung durchgeführt werden. Im Folgenden wird das Design eingelesen und analysiert. Dabei werden als Buskanal gekennzeichnete Elemente identifiziert und entsprechend der Konfiguration sukzessive durch Leitungssegmente und Vias gemäß den Entwurfsregeln ersetzt.

Parameterextraktion

Mit der Parameterextraktion erfolgt die Bestimmung von Modellparametern für das Simulationsmodell. Das Simulationsmodell ist als ein parametrisierbares Modell entwickelt worden. Die Modellparameter lassen sich in zwei Klassen einteilen. Zum einen die technologiespezifischen Parameter und zum anderen die designspezifischen Parameter. Die technologiespezifischen Parameter müssen im Allgemeinen einmalig bestimmt und an das Simulationsmodell übergeben werden. Designspezifische Parameter sind Parameter, die bei jeder Designvariation angepasst werden müssen. So ist die Topologie der Busse im Allgemeinen nicht immer gleich. Die Gründe dafür könnten z.B. die Anzahl der verbundenen Systeme oder unterschiedliche geometrische Relationen der Systeme zu einander sein.

Test an einem Beispiel

Zur Verifikation des entwickelten Entwurfsablaufs an einem Beispiel wurde das Design für einen Testchip verwendet. Das Design ist eine Multi-Standard-Broadcast-Applikation und ist ein Vertreter der System-on-Chip-Lösungen (SoC). Die Ziel-Technologie des Designs basiert

auf Standardzellen mit einer minimalen Strukturbreite von 130 nm. Die Design-Komplexität bewegt sich in der Größenordnung von etwa $2{,}5*10^6$ Gatteräquivalenten. Hinzu kommen etwa 600 kB Speicher.

Abb. 2.3.4-5: Test-Chip, Multi-Standard-Broadcast-Applikation

Sowohl durch eine vorausschauende Systemkonzipierung als auch ein geschicktes Floorplanning ist es meistens gut möglich die Relationen zwischen kommunizierenden Subsysteme so zu realisieren, dass die relativen geometrischen Abstände zwischen den Komponenten kurz gehalten und somit auch ein Grossteil der Signalleitungen als unkritisch bezüglich der Signallaufzeiten betrachtet werden können.

Zur Verifikation des Modellierungsansatzes wurden einzelne Leitungen ausgewählt von denen schon frühzeitig zu erwarten war, dass deren Timingverhalten in einem kritischen Bereich liegen könnte. Dies waren vor allem Leitbahnen mit großen Längen. Die Abb. 2.3.4-6 zeigt exemplarisch eines der getesteten Verdrahtungsbeispiele.

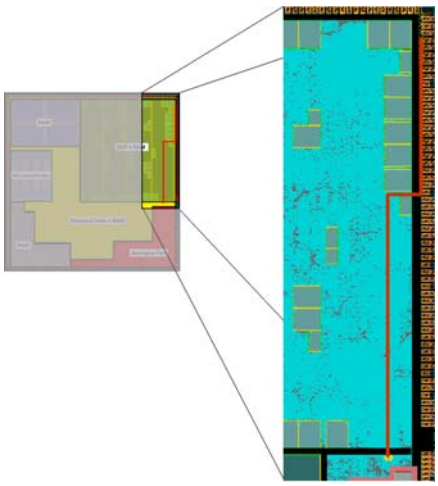


Abb. 2.3.4-6: Verbindung von Standardzellen zu IO-Zellen, Busbreite: 7 Bit, mittlere Leitungslänge: 5.1mm

Die durchgeführten Tests brachten erste Ergebnisse, die eine Aussage über den zeitlichen Aufwand für die Durchführung einer Realisierbarkeitsprüfung erlauben. Die Abb. 2.3.4-7 zeigt eine Übersicht über den zeitlichen Aufwand für eine Realisierbarkeitsprüfung.

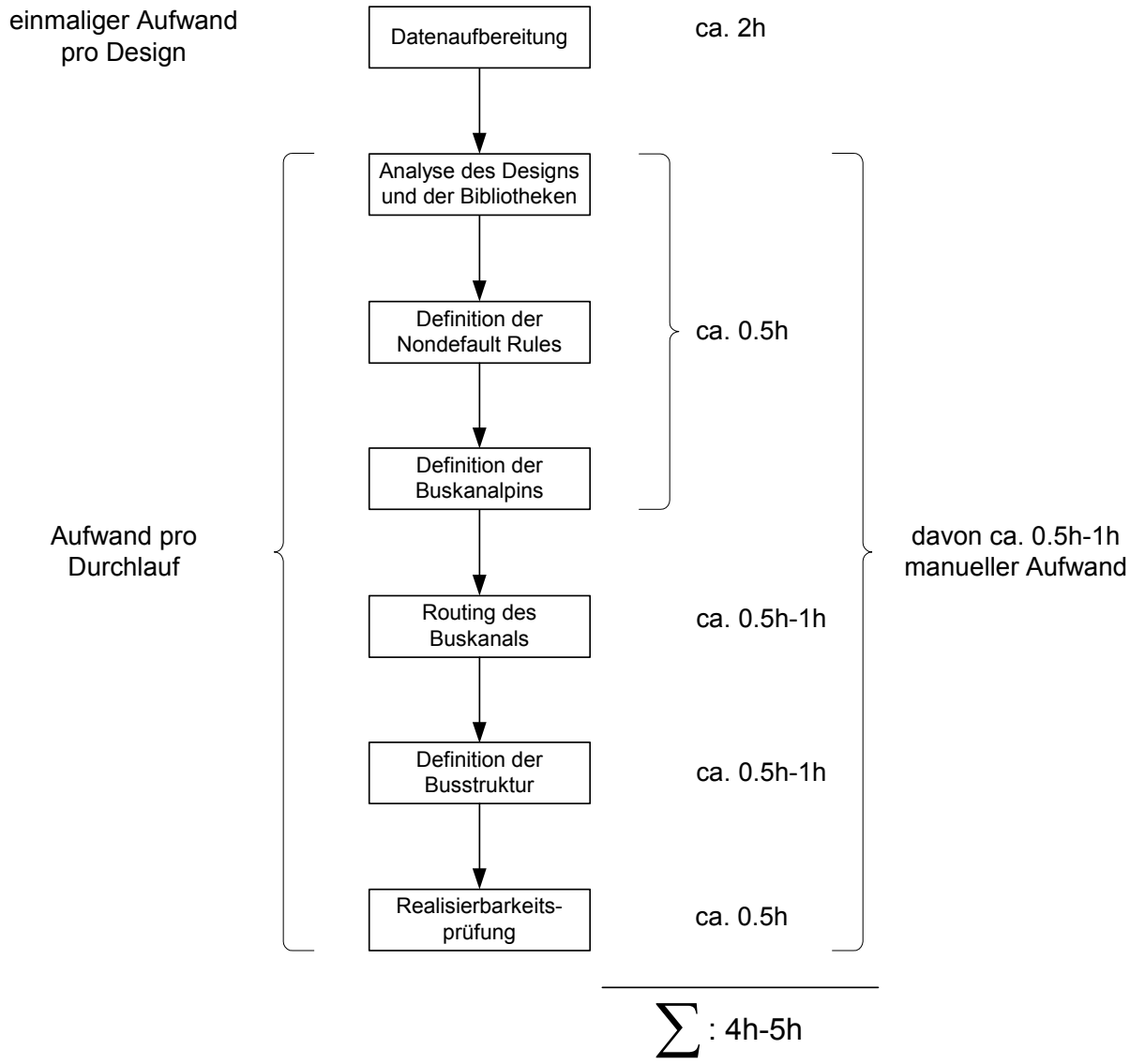


Abb. 2.3.4-7: Zeitlicher Aufwand für die Durchführung der Methodik

Designflow-Beschreibung

Im Folgenden ist die entwickelte Entwurfsmethode anhand eines Blockdiagramms dargestellt.

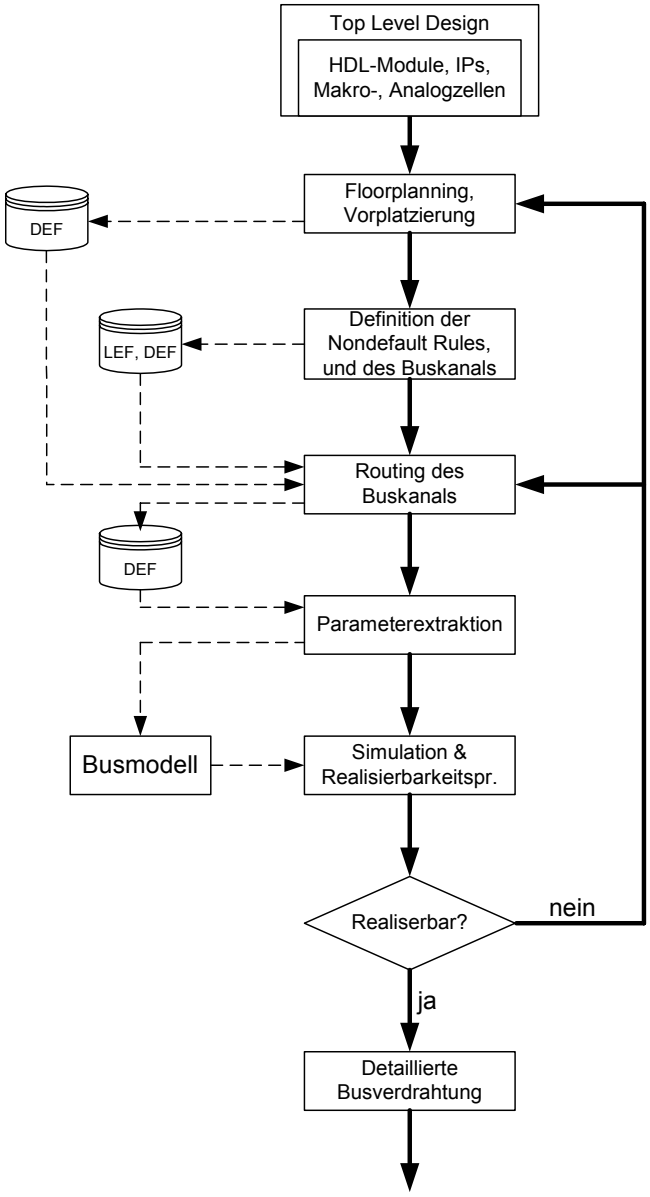


Abb. 2.3.4-8: Die entwickelte Methodik

Fazit

Im Projektzeitraum knüpften die Arbeiten an das Vorgängerprojekt LEONIDAS an. Das Busmodellierungskonzept wurde um die Treibermodellierung und die Signalinterpretation erweitert. Für die Anbindung an die Simulationsumgebung wurde ein Simulationsmodell in SystemC implementiert. Unter Verwendung der LEF/DEF-API und der Austauschformate LEF und DEF wurden Methoden zur gezielten Erzeugung von Busstrukturen und zur Parameterextraktion entwickelt.

An einem Testchiplayout wurde das Verfahren exemplarisch getestet. Dabei konnten erste Ergebnisse für den zeitlichen Aufwand einer frühzeitigen Timingabschätzung gewonnen werden, die eine deutliche Reduktion der Entwurfszeiten erwarten lassen.

Literatur:

[35] Qian, Jessica; Pullela, Satymamurthy; Pillage, Lawrece: “Modeling the Effective Capacitance for the RC Interconnect of CMOS Gates”, IEEE Transactions on Computer-Aided Design of Integrated Cirquits and Systems, Band 13, Heft 12, Dezember 1994, S. 1526-1535.

[36] Forzan, Cristiano; Padini, Davide: “Modeling the Non-Linear Behavior of Library Cells for an Accurate Static Noise Analysis”, Design, Automation and Test in Europe, DATE, 2005, S. 982-983.

[37] Hashimoto, Masanori; Yamada, Yuji; Onodera Hidetoshi: “Equivalent Waveform Propagation for Static Timing Analysis” ,IEEE Transactions on Computer-Aided design of Integrated Circuits and Systems, Band 23, Heft 4, April 2004, S 498-508.

[38] Nazarian, Shahin; Pedram, Massoud; Tuncer, Emre; Lin, Tao; Ajami Amir H.: “Modeling and Propagation of Noisy Waveforms in Static Timing Analysis”, Design, Automation and Test in Europe, DATE, 2005, S. 776-777.

[39] Galassi, Mark; Davies, Jim; Theiler, James; Gough, Brian; Jungman, Gerard; Booth, Michael; Rossi Fabrice: GNU Scientific Library: Reference Manual. 1.6, Dezember 2004.

2.3.5 Beitrag 3.2.2: DfT-Flow und Interfaces für Timing-Aware-TPI (NXP)

Die immer größer und komplexer werdenden integrierten Schaltungen insbesondere in modernsten Nanometer Technologien sind eine Herausforderung an alle Tools im Designflow. Insbesondere bei der Netzlistenmanipulation zur Erzeugung von scanbaren Netzlisten für hierarchische SoC Blöcke müssen in naher Zukunft bis zu 100 Millionen Logikgatter bearbeitet und miteinander verdrahtet werden. Bei der Verdrahtung der Schaltungselemente spielen daher die Randbedingungen des Layouts und in einem besonderen Maße die Anforderungen an das Timing eine herausragende Rolle.

Um allen diesen Anforderungen gerecht werden zu können, müssen die jeweils leistungsfähigsten Werkzeuge einsetzbar sein. Zudem muss ein übergeordneter Flow für solche Nanometer Designs verschiedene wichtige Aufgaben unterstützen. Zum einen sollen hier die Flow Einbindung und die Schnittstellen der Timing Aware Test Point Insertion berücksichtigt werden, zum anderen muss ein übergeordneter Automatismus so umgesetzt werden, dass ein Designer oder Testingenieur über eine geeignete grafische Oberfläche möglichst ohne große Vorkenntnisse zu ersten Ergebnissen kommen kann. Ein solches „single user interface“ erleichtert den Umgang mit den Werkzeugen, hilft bei der Fehlervermeidung und führt durch die schnellere Umsetzungsmöglichkeiten zu verkürzten Design-for-Testability (DfT)-Entwurfszeiten.

DfT Design Flow mit Test Point Insertion

In diesem Arbeitspaket wurde ein grafisch orientiertes Softwaretool entwickelt und in TCL implementiert, dass als Prototyp auf einer Unix/Linux Plattform drei verschiedene DfT Entwurfsflows unterstützt. Schwerpunkt war hier die Einbindung der neuen Test Point Insertion (TPI) Methodik in den gesamten Flow.

Der Name des grafischen Benutzerprogramms ist CatRacer.

CatRacer ist eine einfach zu benutzende Oberfläche, welche einem neuen DfT Anwender sehr schnell ermöglicht, ohne intensives Training und große Vorkenntnisse qualitativ hochwertige Blöcke zu erstellen. Dies hat viele Vorteile. So kann die DfT Entwicklungszeit verkürzt werden, was direkt „Time To Market“ beeinflusst und es können hochqualifizierte DfT Experten von einfacheren Dft Aktivitäten entlastet werden.

CatRacer führt den Flow aus, indem es die vom Benutzer definierten Einstellungen innerhalb der GUI benutzt. Daraus werden die notwendigen Input Dateien für die verschiedenen Cat Tools erzeugt und die angeforderten Tools entsprechend auch ausgeführt. Es sind für den Anwender keine weiteren Eingriffe in den Ablauf nötig. Dies macht die Benutzung der CAT Tools, besonders auch für den unerfahrenen Anwender, leicht nutzbar.

Wird CatRacer gestartet, erscheint eine Eingabemaske, von der aus alle weiteren Schritte gesteuert werden. Je nachdem, welche Vorgehensweise ausgewählt wird, werden entsprechende Masken aufgerufen und die erforderlichen Eingabedaten über Auswahlmenüs selektiert.

Der Programmablauf wird von einer Makedatei und einem entsprechenden Shell Script für jedes DfT Tool kontrolliert. Diese Dateien können auch ohne die grafische Benutzeroberfläche genutzt werden, z.B. um detailliertere Analysen der einzelnen Tools zu erhalten.

In CatRacer sind drei Flows implementiert. Der Standard Flow, der Packager Flow und der Integrator Flow.

Merkmale der einzelnen Flows:

- Standard Flow — Einbau von Scanketten in das Design. Generierung der Testmuster und Erzeugung der Testbench. Simulation der Testbench unter Verwendung des Verilog Simulators.

- Packager Flow — Einbau von Scanketten und Erzeugen einer Testshell Umgebung. Generierung der Testmuster und Expandieren der Testmuster in die Testshell. Erzeugen der Testbench mit anschließender Verilog Simulation.
- Integrator Flow — Erzeugung einer Toplevel Netzliste und Integration von Cores im Design. Prüfung der Cores und Generierung eines Toplevel TCBs (Test Control Block – steuert und kontrolliert die eingebauten Teststrukturen). Hookup der Score Scanketten. Verdrahtung der TCBs. Testmustererzeugung für Glue Logic und Expansion der Corelevel Testmuster in den Toplevel. Erzeugen der Testbench mit anschließender Verilog Simulation.

Wird CatRacer von der Unix/Linux Oberfläche aus gestartet, so erscheint die folgende Eingabemaske auf dem Bildschirm. Hier kann einer der drei implementierten Flows ausgewählt werden. Abb. 2.3.5-1 zeigt als ein Beispiel den Standard Flow.

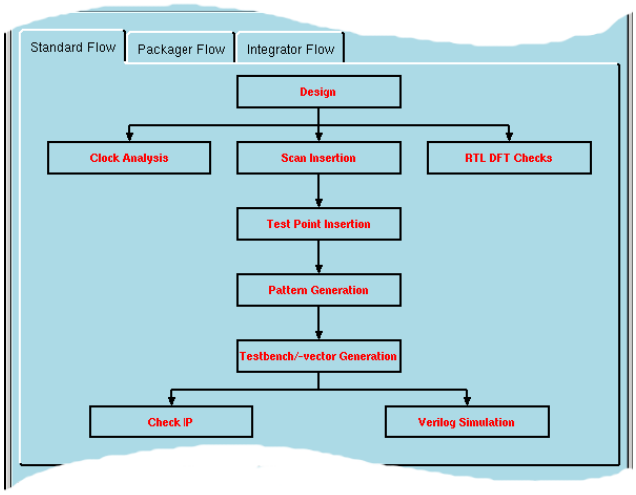


Abb. 2.3.5-1: Standard Flow

Design: Dieser erste Schritt repräsentiert die eigentliche Designphase einer Schaltung. Hier sollen nur sehr grundlegende Angaben zum Design gemacht werden (Technologie, benötigte Bibliotheken, netlist files, topcell, clockpins, embedded memories, etc.).

Clock Analysis: In diesem Schritt werden die Clockdomains analysiert werden, d.h. wie viele verschiedene Clocksysteme sind in der Schaltung und gibt es unsichere Datenpfade (clock skew) zwischen ihnen.

Scan Insertion: Hier werden Flipflops des Designs durch scanbare FFs ersetzt und miteinander zu Scanketten verbunden. Dies kann mit dem internen Tool InScan gemacht werden. Die Möglichkeit, auch externe Werkzeuge wie RC Compiler von Cadence anzusprechen, soll später eingebaut werden. Optional muss das Einfügen von AntiSkew Elementen aktivierbar sein.

Test Point Insertion: Hier wird der entwickelte TPI Flow für große FFRs eingebunden. Dazu werden die internen Werkzeuge für die TP Berechnung genutzt.

Pattern Generation: In diesem Schritt werden DfT Checks durchgeführt und die entsprechenden Testmuster generiert. Dies wird durch das interne ATPG Werkzeug geleistet.

Testbench / -vector Generation: Dieser Schritt beinhaltet die Generation von Testbenches und Testvektoren. Erst hier erfolgt eine Verknüpfung der Testmuster mit den Timinganforde-

rungen der Schaltung.

Check IP: In diesem Schritt wird die erzeugte Netzliste auf Compliance mit den internen CTAG Standards geprüft.

Verilog Simulation: Abschliessend wird das modifizierte Design zusammen mit den generierten Test Vektoren und Testbenches simuliert.

Die einzelnen Flow Schritte lassen sich direkt mit der Maus klicken und weitere Einstellmenüs erscheinen. Um einen der Flow Schritte der drei zur Verfügung stehenden Flows zu öffnen, muss einfach nur die entsprechende Flow Box angeklickt werden. Dann erscheint die zugehörige Menüauswahl. Der erste Abschnitt davon ist bei jedem Flow Schritt derselbe. Der zweite Abschnitt ist abhängig vom ausgewählten Flow. Ein Beispiel ist in gegeben.

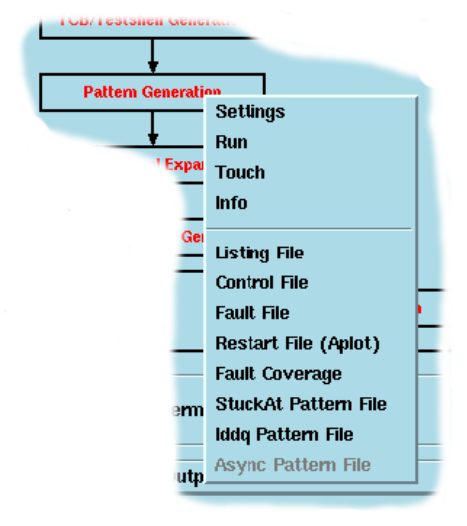


Abb. 2.3.5-2: Flow Box Menü

Hier wurde der Flow Schritt **Pattern Generation** geöffnet. Es erscheint eine entsprechende Menüauswahl.
Settings: Settings wird genutzt, um die damit verbundenen und vom Anwender gewünschten Flow Settings durchführen zu können. Sie sind abhängig vom ausgewählten Flow Schritt.
Run: Run wird genutzt, um das Script mit der generierten Make Datei zu starten. Das Ziel dabei ist nicht der Ablauf des ganzen Flows, sondern dieses einen speziellen Teilschrittes. Bevor diese Möglichkeit genutzt werden kann, muss auf jeden Fall vorher ein kompletter Lauf stattgefunden haben.
Touch: Stellt sicher, dass beim nächsten CatRacer Lauf von dieser Stelle aus gestartet wird.
Info: Anzeige von Informationen über die ausgewählte Flow Box.

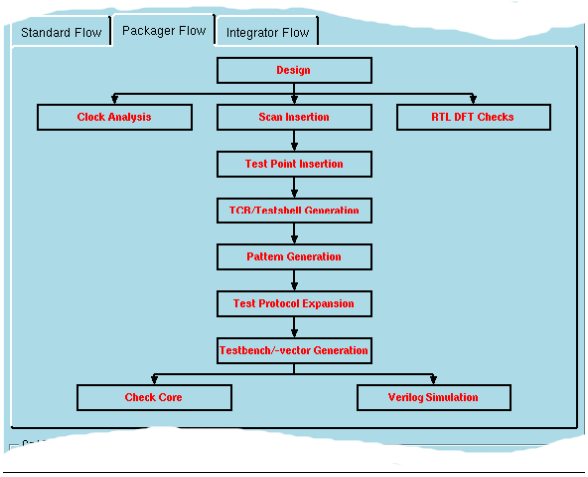


Abb. 2.3.5-3: Packager Flow

Der Packager Flow ist ein, um eine Testshell erweiterter, Standard Flow. Auch hier werden zuerst die Scanketten in das Design eingebaut. Danach wird eine Testshell erstellt, die es ermöglicht den Designtest entsprechend zu steuern. Im Anschluss daran werden die Testmuster generiert und in die Testshell expandiert. Ist dies abgeschlossen wird die Testbench erzeugt und die entsprechende Verilog Simulation durchgeführt.

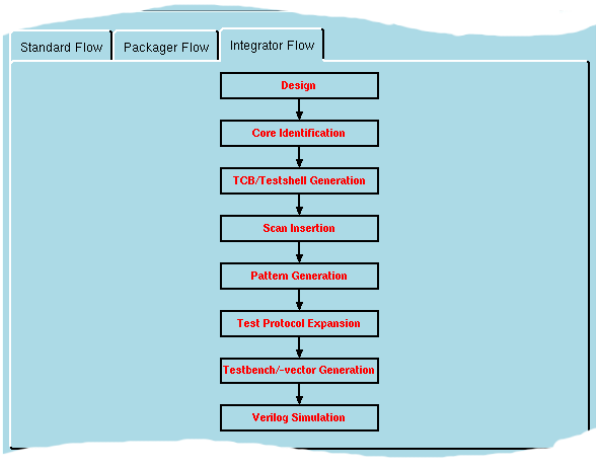


Abb. 2.3.5-4: Integrator Flow

Der Integrator Flow ist der ausführlichste Flow der von CatRacer unterstützt wird. Er ermöglicht die Integration von Cores im Design. Dafür muss zunächst eine Toplevel Netzliste erstellt werden in der die Cores eingebunden sind. Diese werden im Anschluss daran geprüft und validiert, um sicherzustellen, dass die Formalien, welche ein Core zu erfüllen hat, alle eingehalten werden. Dann generiert CatRacer einen Toplevel TCB und die Scanketten der Cores werden integriert. Die TCB Verdrahtung wird durchgeführt und die Testmuster für glue logic werden eingebunden. Die Core Level Testmuster werden entsprechend expandiert um danach die Testbench erzeugen zu können und die Verilog Simulation durchzuführen.

Zusammenfassung

In diesem Arbeitspaket wurde die Anforderung, ein Oberfläche zu entwickeln, die es dem Anwender erlaubt, ohne zu großes Detailwissen einen Test durchführen zu können, umgesetzt. Es wurde die grafische Benutzeroberfläche CatRacer geschaffen, die den Anwender durch das Testprogramm führt und die entsprechenden Eingaben anfordert. Die entsprechenden Tools arbeiten dabei ihre Tasks im Hintergrund automatisiert ab. Dieses „single user interface“ erleichtert den Umgang mit den Werkzeugen, hilft bei der Fehlervermeidung und führt durch die schnellere Umsetzungsmöglichkeiten zu verkürzten Design-for-Testability (DfT)-Entwurfszeiten.
In CatRacer wurden drei Flows (Standard, Packager und Integrator Flow) implementiert. Jeder dieser Flows unterstützt dabei die Einbindung und die Schnittstellen der Timing Aware Test Point Insertion. Dies geschah in enger Zusammenarbeit mit dem Arbeitspaket 3.1.3 “Timing Aware TPI in DfT Verdrahtungen“, da die zu entwickelnden Flows und Interfaces auf die Toolentwicklung des Beitrags 3.1.3 abgestimmt durchgeführt wurden.

Auch wurde innerhalb dieses Projektes ermittelt, ob schon vorhandene Design Tools in die Entwicklung dieses NXP Design Flows eingebunden werden können. Dafür wurde eine Machbarkeitsstudie durchgeführt. Es wurden Vorgaben definiert, welche möglichst erfüllt werden sollten, und das in Betracht kommende Softwareprodukt wurde mit Hilfe von 3 Testcases verifiziert und geprüft.

Die Ziele dieses Projektes - das Schließen von Entwurfslücken, die Verbesserung des internen DfT Flows und die Reduktion der Testmuster - konnten zusammen mit der Aufgabe 3.1.3 realisiert werden.

2.3.6 Beitrag 3.2.3: Leitbahnextraktion im Designflow (Cadence Design Systems)

Durch die wachsende Komplexität, Miniaturisierung und Arbeitsfrequenzen im Gigahertz-Bereich stehen die Leitbahn- und Busstrukturen in nano-elektronischen Systemen immer mehr im Vordergrund des Entwurfsprozesses. In solchen Systemen werden die Verbindungsleitbahnen zum limitierenden Faktor für die Performance der Schaltungen. Es ist deshalb wichtig, dass kritische Verbindungsleitbahnen oder Bussysteme bereits frühzeitig im Entwurf berücksichtigt und verifiziert werden können.

Durch die Miniaturisierung und hohe Arbeitsfrequenzen genügt es nicht mehr, die elektrischen Eigenschaften der Verbindungsleitbahnen nur als zusätzliche parasitäre Widerstände, Kapazitäten und Selbstinduktivitäten anzusehen. Ein Leitbahn- oder Busmodel muss zunehmend auch die Gegeninduktivitäten (Übersprechen) und ggf. Skin-, Proximity und Substrat-Effekte mit einbeziehen. Das Substrat lässt sich beispielsweise als RC-Gitter modellieren und kapazitiv an die Leitbahnen ankoppeln.

Partieller Layout Flow

Cadence hat in LEONIDAS+ ein leitbahnzentrierter, auf parametrisierbaren Zellen (PCells) basierender Flow mit dem Namen „Partieller Layout Flow „ prototypisch entwickelt und in den Standard Entwurfsprozess integriert. PCells sind parametrisierbare Bausteine, die im Layout mehrfach instanziiert werden können. Die Benutzung von PCells im Schaltungsentwurf haben folgende Vorteile:

1. Man spart beim Erstellen oder Ändern des Layouts erheblich Zeit und die Fehleranfälligkeit ist um Faktoren geringer.
2. Die Entwurfsregeln werden automatisch berücksichtigt, d.h. PCells sind idealerweise prozessunabhängig.

Der Flow wurde an Cadence-internen Beispielen validiert und erfüllt die oben genannten Anforderungen. Durch die enge Zusammenarbeit mit dem AP1-Partner Qimonda war es außerdem möglich, den Partiellen Layout Flow in ein Qimonda-PDK zu integrieren und zu testen.

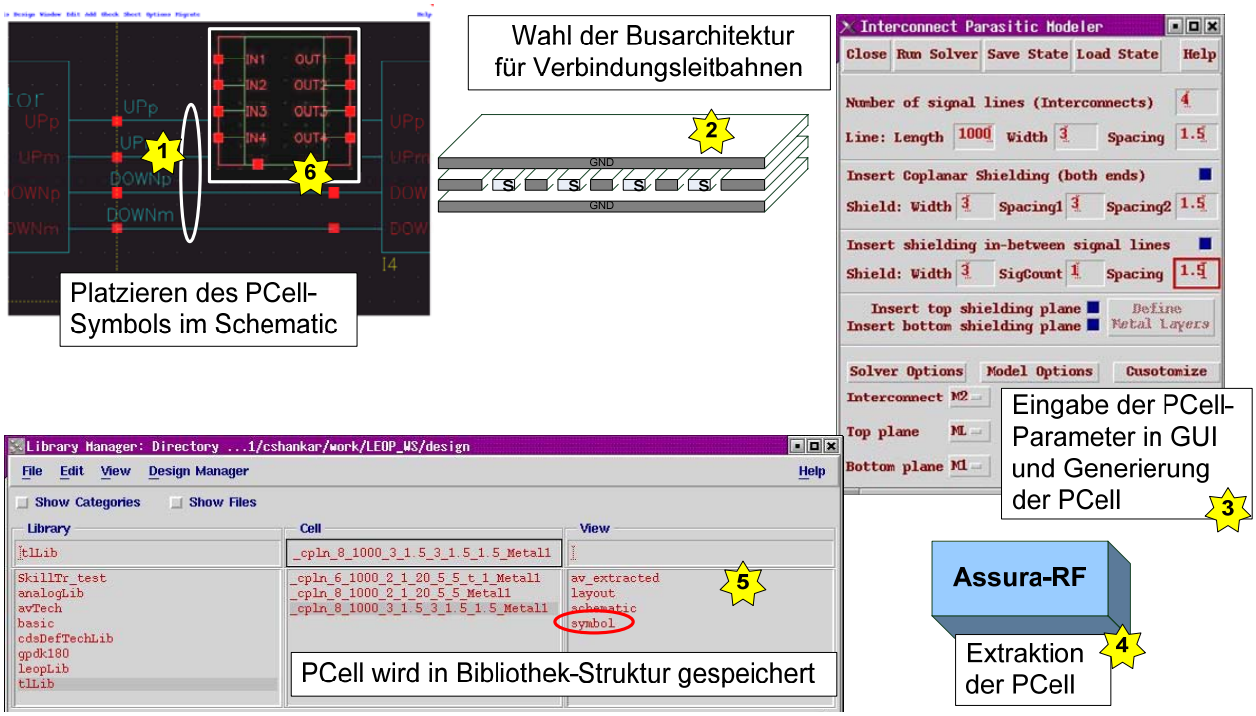

Wahl der Busarchitektur für Verbindungsleitbahnen
Platzieren des PCell-Symbols im Schematic
Interconnect Parasitic Modeler
Eingabe der PCell-Parameter in GUI und Generierung der PCell
Library Manager: Directory ...1/cshankar/work/LEOP_WS/design
PCell wird in Bibliothek-Struktur gespeichert
Assura-RF
Extraktion der PCell

Abb. 2.3.6-1: Partieller Layout Flow, Beispiel PLL.

Der Flow basiert auf einer partiellen Generierung des Layouts. Beispiel Abb. 2.3.6-1: Vier lange Verbindungsleitbahnen (z. B. Coplanar-Struktur) zwischen zwei PLL-Schaltungsblöcken werden als kritisch eingestuft (1). Eine entsprechende Verbindungsstruktur steht für den Designer in einer Bibliothek als parametrisierbare Master-Zelle zur Verfügung (2). Eine Instanz davon lässt sich über eine GUI parametrieren (3). Dabei wird diese, sofern sie noch nicht existiert, im Hintergrund extrahiert (4) und in der Bibliothek als Instanz mit Symbol-View abgelegt (5). Bei der Parametrisierung der Struktur hat der Entwerfer die Möglichkeit, auszuwählen, welche parasitären Elemente extrahiert werden sollen (nur RC, RLC oder auch Übersprechen, HF-Effekte und Substratverluste). Die Struktur lässt sich nun im Schematic beliebig oft als Symbol einfügen (6), dabei wird die extrahierte parasitäre Netzliste automatisch zur Schematic Netzliste hinzugefügt. Die Schaltung kann wie gewohnt mit den als PCells eingefügten Leitbahnstrukturen simuliert werden.

Flow-Integration in den Cadence-Standard-Entwurfsprozess

In Standard Entwurfsprozessen werden Leitbahnen und Busstrukturen erst am Ende des Back-End-Flows extrahiert und simuliert. Die rechte Hälfte in Abb. 2.3.6-1 illustriert vereinfacht, entsprechend dem heutigen Stand der Technik, diesen Ablauf. Die Schaltungsblöcke, beispielsweise im „Top-Level“ Schematic, sind durch ideale Drähte (Wires) oder Busse miteinander verbunden. Nachdem die Spezifikationen in der Schematic-Simulation erfüllt sind, kann ein Layout erstellt werden. Danach werden die Schaltungsblöcke auf dem Chip platziert und miteinander verdrahtet. Erst jetzt, mit der Gesamtextraktion der Schaltungsblöcke, erfolgt die Extraktion der parasitären Leitbahnen bzw. der Busstrukturen. Die parasitären Effekte letzterer beeinflussen die Performance des Gesamtsystems und in langwierigen, iterativen Re-Design-, Re-Extraktion- und Re-Simulationszyklen muss die Schaltung erst optimiert werden, bis ein Tape-Out erfolgen kann. Dieser Schritt ist nicht nur zeitintensiv, sondern auch teuer – und genau hier setzt der Partielle Layout Flow an: Werden Leitbahn und Busstrukturen frühzeitig optimiert und im Front-End bereits berücksichtigt, muss der letzte Schritt – die Simulation des extrahierten Layouts – im Idealfall nur noch einmal durchgeführt werden.

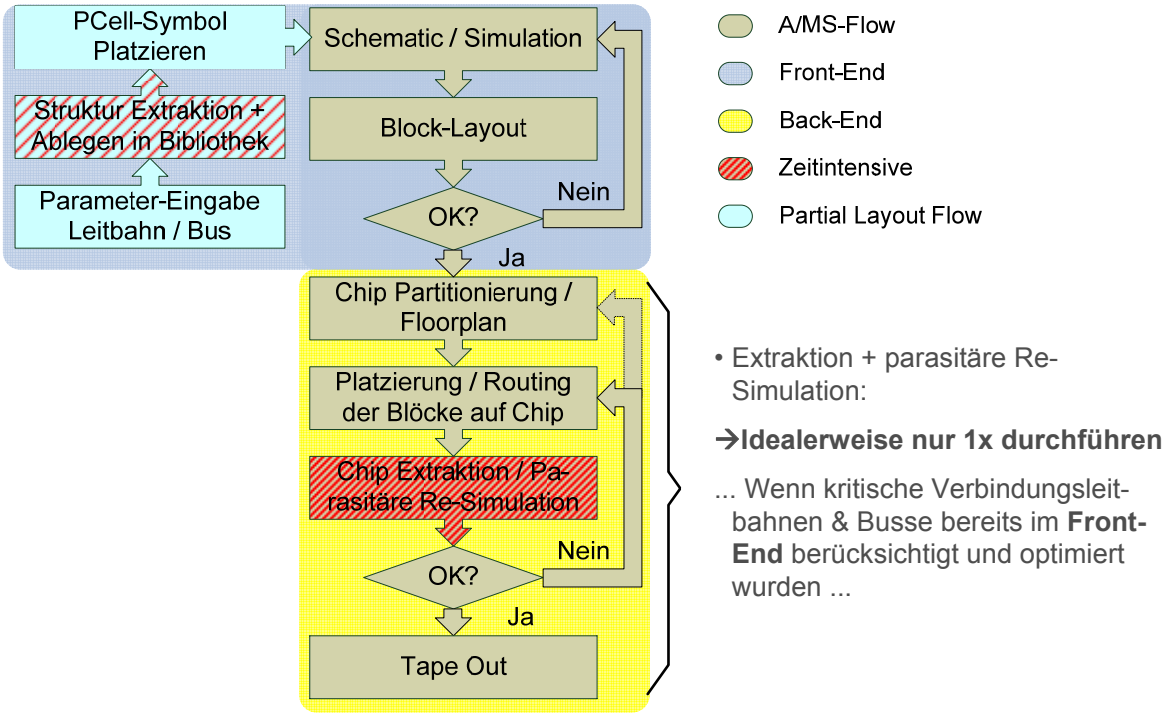


Abb. 2.3.6-2: Integration des Partiellen Layout Flows (links) in den Cadence Flow (rechts).

Flow-Validierung

Zur Validierung und Qualifizierung des Flows wurde ein einfaches HF-Beispiel (LNA) auf einem generischen Cadence Prozess Design Kit (GPDK) aufgesetzt. Das GPDK enthält alle relevanten Daten einer generischen Technologie. Die vier kritischsten Leitbahnen des LNA´s, d.h. die langen, dünnen Verbindungsleitungen vom LNA Ein/Ausgang zu benachbarten Schaltungsblöcken und zu den On-Chip-Spulen, wurden hierfür als PCells modelliert und die entsprechenden Symbole im Schematic eingefügt. Es wurden typische LNA-Charakteristika (Verstärkung, PSS, NF) an drei Fällen simuliert: das Schematic ohne die Berücksichtigung von Leitbahnen (Abb. 2.3.6-3 links) d.h. nur ideale Drahtverbindungen (ungenauster Fall), das Schematic mit den eingefügten PCell-Leitbahnen (Abb. 2.3.6-3 mitte) und das vollständig extrahierte Layout (Abb. 2.3.6-3 rechts). Letzteres diente als Referenz (höchste Genauigkeit). Es konnte gezeigt werden, dass alleine durch das Ersetzen der vier kritischsten Verbindungsstrukturen erheblich genauere Resultate erzielt werden können. Die Simulationszeiten, im Vergleich zum Schematic mit idealen Drahtverbindungen, erhöhen sich dabei kaum (siehe Tab. 2.3.6-1). Diese Berücksichtigung ist bereits auf Schematic-Ebene möglich.

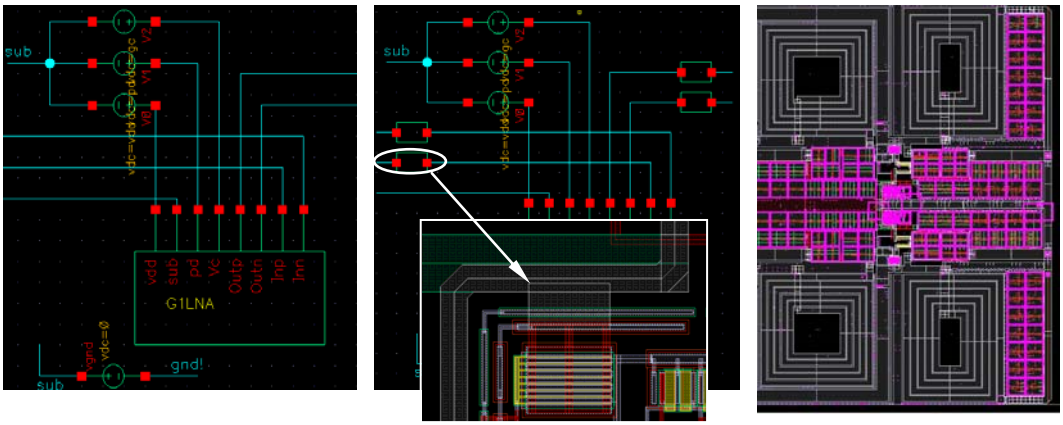


Abb. 2.3.6-3: (links) Schematic ohne Berücksichtigung der Leitbahnen, (mitte) Schematic mit kritischen Leitbahnen als PCells modelliert, (rechts) vollständig extrahiertes Layout.

Measurement	Schematic	Schematic with PCell Flow (RLCK Parasitics)	Full Chip Extracted Layout (RLCK with Substrate Parasitics)	Full Chip Extracted Layout (RLCK with Substrate Parasitics)
GT (sp) NF (sp)	7.739 dB 2.669 dB	8.731 dB 2.533 dB	9.463 dB 2.486 dB	9.563 dB 2.158 dB
Simulation Time	15 Seconds	1 Minute	1 Minute	75 Minutes
Application in Flow	Early in the Design Flow	Early in the Design Flow	Early in the Design Flow	End of the Design Flow

Tab. 2.3.6-1: Simulationsergebnisse LNA.

Partielle Generierung von Buskonfigurationen

Als Hilfestellung für den Schaltungsentwerfer bei der Wahl einer optimalen Busstruktur – in Bezug auf Chipfläche, Datenrate, Übersprechen, Signalverzögerung und Verlustleistung – wurde der Partielle Layout Flow in Kooperation mit dem Projekt DETAILS erweitert. Diese Erweiterung beinhaltet eine Funktion, mit der sich automatisch Auswahltabellen für Busstrukturen erzeugen lässt.

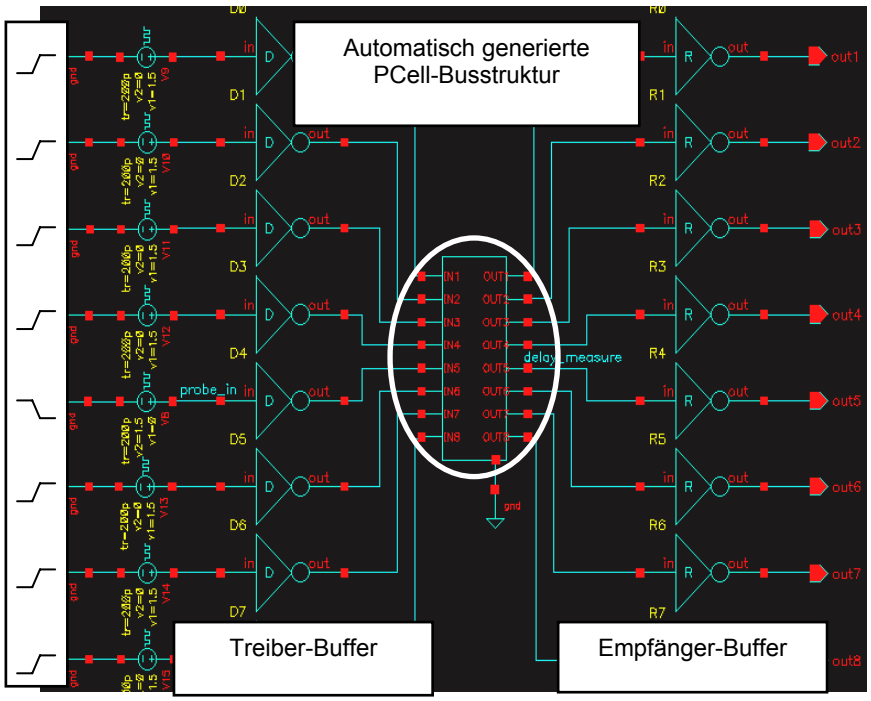


Abb. 2.3.6-4: PCell-Busstruktur in der Charakterisierungsumgebung zur Simulation der Signalverzögerung.

Als Eingangsgröße dient eine ASCII-Tabelle mit den Parametern für die gewünschten Buskonfigurationen (Art der Struktur, Länge, Breite und Abstände der Signalleiter, Anzahl Signalleiter, Ground-Leitung zwischen den Signalleitern und Abschirmung durch Metallflächen unterhalb bzw. oberhalb des Bussystems). Für jede definierte Konfiguration wird für die Simulation im Hintergrund eine PCell erzeugt und anschließend in einer Charakterisierungsumgebung platziert (siehe Abb. 2.3.6-4). Der letzte Schritt ist notwendig, um Größen wie Signalverzögerung, Übersprechen, Datenübertragungsrate und Verlustleistung simulieren zu können. Der Extraktor greift während der PCell-Generierung auf die Prozessdaten zu und extrahiert alle vom Benutzer gewünschten parasitären Elemente. Nach der Charakterisierung werden die Ergebnisse für jede einzelne Busstruktur in einer Tabelle abgelegt.

3 Weitere Aspekte

3.1 Voraussichtlicher Nutzen, Verwertbarkeit der Ergebnisse

Atmel:
Durch den Einsatz des von Atmel und dem IMS entwickelten parasitensymmetrischen Verdrahters wird die Entwurfsicherheit bei kritischen RF-Designs wesentlich gesteigert. Der Einsatz des Verdrahters wird zudem durch dessen Integration in die bereits vorhandene Entwurfsumgebung erleichtert. Zusätzlich stellt ein Symmetriecheck für Leitungen die Einhaltung von Leitungssymmetrien sicher. Die Layoutqualität und die Performance der Designs werden so verbessert und zeitaufwändige, kostspielige Redesigns können vermieden werden.

Die von Atmel entwickelte Methodik zur frühzeitigen Abschätzung von Crosstalkeffekten auf Floorplanningbasis erlaubt schon in der Entstehungsphase des Layouts kritische Stellen hinsichtlich Crosstalkeffekte zu identifizieren und Floorplanvarianten zu vergleichen. Nach einer erfolgten Floorplankorrektur können die änderungsbedingten Auswirkungen neu analysiert werden. Dies gestattet eine rasche Floorplanoptimierung und vermeidet spätere, wesentlich zeit- und arbeitsintensivere Korrekturen an Layouts im fortgeschrittenen Stadium.

Cadence:
Durch die enge Kooperation mit den Projektpartnern (z.B. Qimonda bei der Entwicklung des Partiellen Layout Flows) konnte Cadence viel Methodik-Wissen aufbauen. Dieses ist bei der Planung und Weiterentwicklung neuer Produkte von großer Bedeutung und fördert die Zusammenarbeit mit R&D in USA. Dies wiederum stärkt den Standort Deutschland. Gleichzeitig wird damit aber auch den Anforderungen der LEONIDAS-Partner und des deutschen Marktes Rechnung getragen. Ein Beispiel dafür ist die enge Zusammenarbeit der LEONIDAS+ Partner mit Cadence R&D im Bereich Constraint-Management.

Bosch:
Das von Bosch entwickelte Verfahren zur Erkennung von Einkopplungen von Störungen aus dem Substrat auf empfindliche Elemente erlaubt es, die Entwürfe vor endgültiger Fertigstellung zu überprüfen und Abhilfe Maßnahmen zu ergreifen. Dadurch wird ein sonst notwendiges Re-Design vermieden was zur Einsparung von Kosten führt und eine schnellere Verfügbarkeit des Bausteins auf dem Markt ermöglicht.

Die entwickelten Algorithmen und Modelle werden im Rahmen von Referenzsimulationen zur Verifizierung und Qualifikation von EDA-Anwendungen eingesetzt. Die Test- und Messschaltungen werden wiederum verwendet um die Referenzsimulationen gegen Silizium abzusichern.

Allgemeines Ziel ist es, dass unsere Algorithmen und Modelle in den EDA-Anwendungen eingearbeitet werden. Damit würden unnötige und kostspielige Redesigns von Schaltungen vermieden.

Im Rahmen des LEONIDAS+ wurde ein Pinanschlussmodell entwickelt mit dem es einem externen Verdrahtungswerkzeug präzise möglich ist, sowohl Einfach- als auch Mehrfachanschlüsse an einlagige und mehrlagige Bauelementepins stromdichtegerecht ausführen zu können. Im Anschluss an dieses Forschungsprojekt wird angestrebt, das Pinmodell in ein kommerzielles Verdrahtungswerkzeug zu integrieren, damit die Berücksichtigung des stromdichtegerechten Pinanschlusses zukünftig bereits frühzeitig während der globalen Verdrahtung erfolgen kann.

IMS:
Der Nutzen für das Institut für Mikroelektronische Systeme besteht zum einen in der Entwicklung zusätzlichen Know-Hows, um sich für weitere Forschungskooperationen zu qualifizieren. Am IMS wird das bei der Entwicklung des parasitensymmetrischen Verdrahters erarbeitete Know-how verwendet, um die Weiterentwicklung der Corner-Stitching-basierten Daten-

strukturen sowie einer nicht-orthogonalen Verdrahtung durchzuführen. Beide Themen zählen zu den aktuellen Forschungsthemen.

Außerdem gehen die Ergebnisse unmittelbar in die Inhalte von Vorlesungen und Übungen ein, wodurch Studenten Zugang zu neuesten Forschungsergebnissen erhalten. Drei Promotionen und 18 Studien- und Diplomarbeiten am IMS stehen in unmittelbarem Zusammenhang mit dem Projekt LEONIDAS+.

Infineon:
Die entwickelten Designflows zur selektiven Reduktion und Extraktion steigern die Performance komplexer Simulationen signifikant. Dies soll in Zukunft für entsprechende Analysen innerhalb des Qimonda Design Flows ausgenützt werden. Ziel ist eine selbständige Anwendung durch die Designer, unterstützt durch eine möglichst weit gehende Automatisierung der Verfahren. Je nach Ziel der Analyse kann eine der beiden Varianten oder sogar eine Mischung beider Methoden eingesetzt werden. Bei Infineon ist eine weitere Nutzung innerhalb des ivarex Flows zur Bestimmung des Enflusses von Interconnect-Variationen geplant.

Der Interconnect-Variations-Extraktions-Flow "ivarex" wird bei Infineon und Qimonda zunächst auf weitere Beispiele, vor allem in Technologien mit kleineren Strukturgrößen angewendet werden, um weiterhin die Relevanz der Interconnect-Variationen für das Schaltkreisverhalten zu beobachten. Der Flow wird gleichzeitig als "Experten-Lösung" zur Untersuchung spezieller, besonders interessierender Fälle, den Designern zur Verfügung stehen. Wenn der Einfluss stärker als bei den bisher untersuchten Beispielen wird, kann der "ivarex"-Flow rasch in den allgemeinen Designflow eingebracht werden, um im Design allgemein untersuchen zu können, ob die Schaltungen auch unter Berücksichtigung der Variationen der Interconnect-Parameter noch die erforderlichen Spezifikationen einhalten. Außerdem wird "ivarex" als Referenzflow für in Entwicklung befindliche kommerzielle Lösungen verwendet werden.

Das neue Cadence-Constraint-Management-System wird bei Infineon zunächst eine Reihe ausführlicher Tests durchlaufen, in denen die bereitgestellte Funktionalität und die Vollständigkeit des Systems überprüft werden. Im Anschluss daran folgt eine Pilotphase mit ausgewählten Designprojekten, die zur Identifikation evtl. noch fehlender Funktionalität des Systems dienen soll. Nach zahlreichen erfolgreichen Pilotanwendungen fließen die Ergebnisse in den qualifizierten Infineon-Designflow ein.

Das Cadence-Constraint-Management-System wird voraussichtlich ab dem 1. Quartal 2008 Bestandteil des qualifizierten Designflows bei Infineon sein und für den Fullcustom-Entwurfsablauf der Chipentwicklung bereitgestellt werden. Von diesem Zeitpunkt an kann das System von allen Geschäftsbereichen Infineons für die Entwicklung von Analog/Mixed-Signal-Komponenten genutzt werden.

Durch die erstmals verfügbare schnelle, komfortable und systematische Handhabung von Nebenbedingungen sowie die Wiederverwendungsmöglichkeit bei Migrationen und durch eine niedrigere Anzahl benötigter Iterationen wird eine wesentliche Verkürzung der Entwicklungszeit im gesamten Analog/Mixed-Signal-Designprozess erwartet. In der ersten Ausbaustufe wird die Produktivitätssteigerung bei ca. 10 % liegen.

Darüber hinaus wird durch die Verwendung einer konsistenten Datenhaltung und durch eine verbesserte Kommunikation zwischen Schaltungsentwickler und Layouter die Fehleranfälligkeit beim Entwurf abnehmen und die Anzahl notwendiger Iterationen im Entwurfsablauf verringert werden. Dies bedeutet eine höhere Entwurfssicherheit ("First Time Right Design") und hat zur Folge, dass die Zahl an Re-Designs um ca. 10% reduziert werden wird.

NXP:
Es wurden Algorithmen zum automatisierten Einbau von Testpunkten in FFRs erstellt. Die Test-Point-Insertion (TPI) ist damit als Pilotversion verfügbar. Die Verifikation an großen, kommerziellen Schaltungen wurde bereits erfolgreich durchgeführt. Zusätzlich wurde die Kopplung an eine STA implementiert. Ein automatisierter, GUI-basierter DfT-Flow ist in Software implementiert, wodurch ein erfolgreicher Proof of Concept möglich war. Außerdem

konnte eine Bewertung von einem externen Scan-Insertion-Tool für TPI erfolgreich durchgeführt werden. Damit konnte die Anzahl der Testmuster reduziert und gleichzeitig die Testqualität erhöht werden. Der Dft-Flow wurde außerdem erheblich vereinfacht.

Die Integration des TPI in den DfT-Flow von NXP findet zu einem der nächsten internen Releases statt. Außerdem wird die Verwertung der Ergebnisse durch Erstellen der Schulungs- und Trainingsunterlagen für die Test-Point-Insertion unterstützt.

3.2 Fortschritt bei anderen Stellen

AP 1: Modellierung und Extraktion
Bezüglich einer Wahrscheinlichkeitsmetrik bietet Synopsys in Primetime-Si mittlerweile ein Crosstalk-Modell mit Wahrscheinlichkeitsberechnungen, das auf [23] beruht, dessen Annahmen und theoretischen Grundlagen aber fragwürdig sind. Keines der EDA-Anwendungen von Synopsys oder Magma ermöglicht eine Optimierung der Ansteuerung der Aggressoreingangssignale zur Optimierung von Crosstalk. Cadence bietet in Celtic eine Optimierung von Crosstalk (nur Analyse) mittels eines greedy arbeitenden Algorithmus an. Die Autoren selbst zeigen allerdings, dass hierbei nicht der Worst-Case-Crosstalk gefunden wird [6].

Eine der Sensitivitätsanalyse im proprietären Analogsimulator Titan entsprechende Funktionalität ist noch immer in kommerziellen Produkten nicht verfügbar. Daher ist die Entwicklung von Flows ähnlich derer der selektiven Reduktion und Extraktion nur bei Zugang zu Titan (Qimonda/Infineon) oder entsprechenden Eigenentwicklungen anderer Firmen möglich. Die Möglichkeiten der Sensitivitätsanalyse werden mittlerweile auch außerhalb des LEONIDAS+-Projektes erkannt. Beispielsweise ist in der Literatur eine Nutzung zur Filloptimierung dokumentiert (IBM).

Das Thema Interconnect-Variationen wird in der Literatur im Zusammenhang mit Analog-Schaltungen bislang weitestgehend nur exemplarisch anhand prototypischer einfacher Layoutstrukturen und Corner-Cases behandelt (Bus-Systeme etc.). Im industriellen R&D-Umfeld spielen hierbei insbesondere die Arbeiten bei IBM (Sani R. Nassif et al.) und TI (NS Nagaraj et al.) eine Rolle. Ansätze, das Layout kompletter Analog-Schaltungen zu behandeln, sind in diesem Zusammenhang allerdings nicht veröffentlicht. Das Problem, die Interconnect-Variationen ganzer Schaltungen zu extrahieren und zu analysieren, wird in der Literatur der letzten Jahre eher im Zusammenhang mit großen digitalen Schaltungen im Semi-Custom-Umfeld diskutiert (insbesondere in Verbindung mit der „Statistischen Statischen Timing-Analyse“, SSTA) . Dort liegt der Focus aber weniger auf der Extraktion der Schwankungen selbst, als auf der Frage der weiteren Behandlung („model-order reduction“ etc.).

Lösungen, die wie die Arbeiten in LEONIDAS+ auf eine Kombination von Variations-Extraktion und analoger (Monte-Carlo-)Schaltungssimulation abzielen, sind unseres Wissens noch nicht verfügbar. Die EDA-Industrie diskutiert in diesem Umfeld in letzter Zeit verstärkt Extraktionsmethoden, die auf Corner-Cases für Interconnect-Eigenschaften abzielen (insbesondere Cadence und Synopsys). Im Zusammenhang mit der „Statistischen Statischen Timing-Analyse“ (SSTA) verspricht Magma, in naher Zukunft den zugehörigen RC-Extraktor so zu erweitern, dass zumindest die linearen Sensitivitäten bezüglich Leitbahnweiten-Variationen mit ermittelt werden. Nicht zuletzt aufgrund von Diskussionen im LEONIDAS+-Umfeld kündigt Cadence inzwischen an, in der Nachfolgeversion des „Assura“-Extraktors Möglichkeiten zur Verfügung zu stellen, die Variationsgradienten, die auch in den entsprechenden LEONIDAS+-Arbeiten verwendet werden, direkt zu extrahieren.

AP 2: Constraint-Management
Das Auftreten als Konsortium ergab speziell in dem Thema Constraint-Management ein so großes Gewicht gegenüber dem EDA-Anbieter, dass dieser die entwickelten Verfahren in seine Werkzeugwelt integriert hat und sie somit allen Anwendern zur Verfügung stehen.

Alles in allem ergibt sich aber nach wie vor das Bild, dass die in LEONIDAS+ im Zusammenhang mit der systematischen Behandlung der Constraints entstandenen Ergebnisse eine

Vorreiterrolle spielen. Eine Vielzahl benötigter Methoden zur Verarbeitung der Constraints ist allerdings noch nicht entwickelt. Hier hat sich weiterer Forschungsbedarf herauskristallisiert.

Verfahren zum parasitensymmetrischen Routing werden zwar mittlerweile auch von Cadence angeboten. Die in LEONIDAS+ entwickelten Algorithmen der Bündelverdrahtung sind aber einzigartig.

Zum Thema „Parasitensymmetrisches Routing und Constraint-Verifikation“ von Atmel gibt es derzeit keinen Mitbewerber, der einen ähnlichen Ansatz mit Modulgeneratoren und der Wegesuche für ganze Busse verfolgt.

AP 3: Entwurfsablauf und Werkzeuge
Während der Projektlaufzeit von LEONIDAS+ ist das Interesse an 3D-Integrationstechniken gerade im amerikanischen Umfeld weiter gestiegen. Dies zeigt, dass LEONIDAS+ hier ein bedeutsames Thema in Angriff genommen hat. Im Bereich der simultanen Platzierung und Verdrahtung sind die in LEONIDAS+ erforschten Ansätze einzigartig. Auf dem International Symposion on Physical Design fand in diesem Jahr ein Wettbewerb zum Global Routing statt, bei dem die Schnittstelle zwischen Platzierung und Verdrahtung und die enge Verzahnung der beiden ein Schwerpunktthema war.

Für das Einfügen von Testpunkten in Fanout-Free-Regions liegt der Schwerpunkt bei NXP auf der Reduktion der Testmuster. Dies ist nach aktuellem Kenntnisstand bei keinem der ATPG-Tool-Anbieter möglich.

Im Bereich der frühzeitigen Modellierung und Simulation von Bussystemen inklusive der Induktivitäten ergibt sich folgendes Bild: Es gibt zwar kommerzielle EDA-Anbieter, die im Umfeld der Layout-Struktur-Synthese oder Spulen-Modellierung tätig sind, z.B. edXact, Helic oder Agilent. Doch der Ansatz des partiellen Layoutflows ist bisher einzigartig und als deutlicher Fortschritt zum aktuellen Stand der Technik zu werten.

3.3 Veröffentlichungen

Im Verlauf des Projekts sind folgende Beiträge veröffentlicht worden:
(LEONIDAS und LEONIDAS+)

[40] M. Frerichs, "LEONIDAS - Leitbahnorientiertes Design Applikationsspezifischer Schaltungen", Ekompass-Workshop 2002, Bonn, April 2002.

[41] C. Malonnek, M. Olbrich, E. Barke, "A New Placement Algorithm for an Interconnect Centric Design Flow", ASIC/SOC 2002, Rochester, USA, September 2002.

[42] G. Jerke, "Current-Driven Wire Planning for Electromigration Avoidance", Mentor Graphics Users Group Meeting (Europe), München, Oktober 2002.

[43] J. Lienig, G. Jerke, "Current-Driven Wire Planning for Electromigration Avoidance in Analog Circuits"; in Proceedings of IEEE-Asia and South Pacific Design Automation Conference, S. 783-788, =itakyushu, Japan, 2003.

[44] M. Frerichs, "LEONIDAS - Shifting the focus from Device to Interconnect Level in Chip Design", LEONIDAS Workshop at DATE 2003, München, März 2003.

[45] D. Jetter, "New concepts and methods to deal with interconnect Parasitics and process variations in early design stages", LEONIDAS Workshop at DATE 2003, München, März 2003.

[46] M. Wolf, "How to avoid Redesigns of Integrated Circuits using Routing-based Constraints in Layout Tools", LEONIDAS Workshop at DATE 2003, München, März 2003.

[47] G. Hildebrand, "Interconnect Centric Design Methodology", LEONIDAS Workshop at DATE 2003, München, März 2003.

[48] C. Malonnek, "Interconnect Centric Design Flow", LEONIDAS Workshop at DATE 2003, München, März 2003.

[49] C. Malonnek, M. Olbrich, E. Barke, "Ein neues Platzierungsverfahren für einen leitbahnzentrierten De-signflow", E.I.S. Workshop 2003, Erlangen, März 2003.

[50] G. Jerke, "Electromigration Avoidance during IC-Design", Mentor Graphics Users Group Meeting (U-SA), San Jose, USA, April 2003.

[51] J. Lienig, G. Jerke, "Elektromigration - eine neue Herausforderung beim Entwurf elektronischer Bau-gruppen", in F&M, 10/2002, 01/2003, 03/2003, Deutschland 2002/2003.

[52] M. Frerichs, "LEONIDAS - Leitbahnorientiertes Design applikationsspezifischer Schaltungen", Ekompass Workshop 2003, Hannover, April 2003.

[53] W. Soppa, K.-W. Pieper, "Berechnung der Stromtragfähigkeit von Metallisierungsebenen", Ekompass Workshop 2003, Hannover, April 2003.

[54] M. Wolf, L. Schreiner, "Routen mit Constraints und Modulgeneratoren", Ekompass Workshop 2003, Hannover, April 2003.

[55] M. Tahedl, W. Brugger, "Mixed Signal Design Flow", Ekompass =orkshop 2003, Hannover, April 2003.

[56] A. Müller, B. Walliser, L. Kronenberg, "Constraint-Management im Full Custom Entwurfsablauf", E-kompass Workshop 2003, Hannover, April 2003.

[57] H. Kinzelbach, "Leitbahnkoeffizienten bei zufälligen Prozessvariationen", Ekompass Workshop 2003, Hannover, April 2003.

[58] G. Jerke, L. Schreiner, "Current-Driven Routing", Ekompass Workshop 2003, Hannover, April 2003.

[59] A. Müller, B. Walliser, "Constraint-Management im Full-Custom-Entwurfsablauf", Analog 2003, S. 181-184, ITG/VDE, Heilbronn, September 2003.

[60] W. Soppa, T. Peters, E. Frenzel, K.-W. Pieper, "Dimensionierung von Leitbahnbreiten und Kontaktlö-chern in Smart-Power-ICs für Kfz-Anwendungen", Analog 2003, ITG/VDE, Heilbronn, September 2003.

[61] K.-W. Pieper, J. Englisch, "Tutorium 3: Designmethoden für integrierte Schaltungen in Automotive Po-wer", Analog 2003, Heilbronn, September 2003.

[62] J. Rauscher, M. Tahedl, H.-J. Pfleiderer, "Consideration of parasitic effects on busses during early IC design stages", Kleinheubacher Berichte 2003 - Advances in Radio Science, 2004.

[63] M. Tahedl, H.-J. Pfleiderer. A Driver Load Model for Capacitive Coupled On-Chip Interconnect Busses. International Symposium on System-on-Chip, pp. 101-104, Tampere, Finnland, November 2003.

[64] M. Frerichs, "LEONIDAS", Fach- und Kooperationsworkshop Testen, Hannover, November 2003.

[65] M. Frerichs, "Einführung zu Verfahren der Extraktion und Modellierung von Leitbahnparametern", Fach- und Kooperationsworkshop Testen, Hannover, November 2003.

[66] K. Reblinsky, "Dynamic IR-Drop Analysis as Compulsory Sign-Off Element", Fach- und Kooperationsworkshop Testen, Hannover, November 2003.

[67] J. Schlöffel, P. Weseloh, "Layout und Timing basierte FFT-Verdrahtungsalgorithmen", Fach- und Koope-rationsworkshop Testen, Hannover, November 2003.

[68] G. Jerke, J. Lienig, J. Scheible, "Reliability-Driven Layout Decompaction for Electromigration Failure Avoidance in Complex Mixed-Signal IC Designs", pp. 181-184, DAC 2004, June 7-11, 2004, San Diego, California, USA.

[69] M. Tahedl, H.-J. Pfleiderer, "Dynamic Wire Delay and Slew Metrics =or Integrated Bus Structures", PAT-MOS 2004, Sep. 2004.

[70] L. Schreiner, M. Olbrich, E. Barke, V. Meyer zu Bexten, "PARSY: PARasitenSYmmetrische Verdrahtung für analoge Busse mit Modulgeneratoren", Analog 2005, März 2005, Hannover.

[71] L. Schreiner, M. Olbrich, E. Barke, V. Meyer zu Bexten, "Routing of Analog Busses with Parasitic Symmetry", ISPD 2005, April 2005, San Francisco, California, USA.

[72] L. Schreiner, M. Olbrich, E. Barke, V. Meyer zu Bexten, "PARSY: A =ARasitic SYmetric Router for Net Bundles using Module Generators", VLSI-TSA-DAT 2005, April 2005, Hsinchu, Taiwan.

[73] T. Jambor, L. Schreiner, M. Olbrich, E. Barke, "Net order optimization in analog net bundles," Microtechnologies for New Millenium 2005, May 2005.

[74] P. Panitz, M. Olbrich, E. Barke, "Detailed Routing With Integrated Static Timing Analysis Applying Simulated Annealing," Proceedings of the IEEE Northeastern Workshop on Circuits and Systems, June 2005, pp. 387-390.

[75] Palla, Murthy; Koch, Klaus; Bargfrede, Jens; Anheier, Walter; Glesner, Manfred: "Reduction of Crosstalk Pessimism using Tendency Graph Approach", paper 24th International Conference on Computer Design 2006 (ICCD October 1-4, San Jose, USA)

[76] M. Zhang, M. Olbrich, H. Kinzelbach, D. Seider, E. Barke, "A Fast and Accurate Monte Carlo Method for Interconnect Variation," ICICDT 2006 Proceedings, January 2006, pp. 207-210.

[77] H. Kinzelbach, "Modellierung & Simulation unter Berücksichtigung von Prozessschwankungen", Kooperations- und Fachworkshop "Modellierung & Simulation unter Berücksichtigung von Prozessschwankungen", Hannover, November 2005.

[78] H. Kinzelbach, "Statistical Variations of Interconnect Parasitics: Extraction and Circuit Simulation", 10th IEEE workshop on Signal Propagation on Interconnects (SPI), Berlin, Mai 2006.

[79] H.Armbruster, U.Feldmann und M.Frerichs,"Analysis Based Reduction", Proceedings 10th IEEE Workshop on Signal Propagation on Interconnects (SPI06), May 2006, pp. 29-32.

[80] Ole Ohlendorf, Markus Olbrich, Erich Barke, "Global Routing for Force Directed Placement," Proceedings 10th IEEE Workshop on Signal Propagation on Interconnects (SPI06), May 2006, pp. 25-29.

[81] T. Jambor; M. Olbrich; E. Barke; J. Köhne, "RL-Analysis of Meander Shaped Adjustment Modules," 10th IEEE Workshop on Signal Propagation on Interconnects, May 2006.

[82] J. Freuer, G. Jerke, A. Schäfer, K. Hahn, R. Brück, A. Nassaj, W. Nebel: „Ein Verfahren zur Verifikation hochkomplexer Randbedingungen beim IC-Entwurf“ Analog 2006

[83] M. Zhang, M. Olbrich, H. Kinzelbach, D. Seider, E. Barke, "Beschleunigte Monte-Carlo-Methode zur Bestimmung von Interconnect-Variationen," Analog 2006, September 2006, pp. 113-117.

[84] M. Zhang, M. Olbrich, D. Seider, M. Frerichs, H. Kinzelbach, E. Barke: „CMCal: Ein Verfahren zur Analyse der Prozessschwankungen für nichtlineare Schaltungen mit nicht-Gauss-verteilten Parametern", ZuD-Workshop München, März 2007

[85] O. Ohlendorf, M. Olbrich, E. Barke: "Timing-Driven-3D-Platzierung mit einem kräftebasierten Ansatz", ZuD-Workshop München, März 2007

[86] H. Kinzelbach: "Statistical Interconnect Variations: Extraction and Simulation", ZuD-Workshop München, März 2007

[87] P. Birrer, S. Chandrasekaran, R. Wittmann: "Partieller Layout Flow zur Generierung von Auswahltabelllen für Bussysteme", ZuD-Workshop München, März 2007

[88] M. Zhang, M. Olbrich, D. Seider, M. Frerichs, H. Kinzelbach, E. Barke: CMCal: An Accurate Analytical Approach for the Analysis of Process Variations with Non-Gaussian Parameters and Nonlinear Functions, DATE 2007

[89] M. A. Smith, L. Schreiner, E. Barke, V. Meyer zu Bexten; Algorithms for Automatic Length Compensation of Busses, International Symposium on Physical Design (ISPD), Austin, 2007

[90] A. Schäfer, K. Hahn, R. Brück: „The Constraint Engineering System, a multi-tool verification system”, University Booth DATE 2007.

[91] O. Ohlendorf, M. Olbrich, E. Barke: „A 3D Timing Driven Placement Tool Considering Placement and Timing of Interchip Vias” , University Booth DATE 2007.

Erfindungen:

[92] H. Armbruster, M. Frerichs, "Verfahren zum Berechnen einer elektrischen Eigenschaft einer elektrischen Schaltung" Patenteinreichung beim Deutschen Patentamt, Januar 2005

[93] Harald Kinzelbach, Infineon: "Method to simulate the influence of production-caused variations on electrical interconnect properties of semiconductor layouts", Einreichung beim US Patent Office: Januar 2005

[94] Klaus Koch: "Delay/Slew Measure considering Crosstalk", December 2006 (US patent application planned)

3.4 Meilensteinberichte

Die Meilensteinberichte sind nicht öffentlich. Die Firmen können für Auskünfte kontaktiert werden.

Master-Meilensteinberichte

Master-Meilenstein	Datum	Titel
1.1.MM1	08/06	Effiziente Analyse der durch Substrateinflüsse verursachten Crosstalk-Probleme, Konzept zur Bereitstellung von Referenzsimulationen und Sensitivitätsanalysen zur Behandlung von kapazitivem und induktivem Crosstalk
1.1.MM2	02/07	Effiziente Analyse und Behandlung von Crosstalkproblemen mit Referenzsimulationen, Sensitivitätsanalysen und Generierung von Constraints
1.2.MM1	08/06	Deterministische und stochastische Leitbahnvariationen: Extraktion repräsentativer Layoutstrukturen
1.2.MM2	02/07	Deterministische und stochastische Leitbahnvariationen: Folgerungen für reale Layoutdesigns
2.1.MM1	08/06	Verifikation von Constraints und der Sicherstellung der Datenkonsistenz in der Constraint-Datenbasis sowie Spezifikation der zu untersuchenden Platzierungsmethoden
2.1.MM2	02/07	Verwaltungsmethodik für wechselwirkende Constraints und der strukturerkennungsbasierenden Constraint-Erzeugung; Untersuchung und Bewertung der verschiedenen Platzierungsmethoden
2.2.MM1	08/06	Constraint-geführte Platzierung und Verdrahtung und Erweiterung der Schnittstelle für Modulgeneratoren
2.2.MM2	02/07	Constraint-Prüfung
3.1.MM1	02/06	Neue Konzepte für leitbahnzentrierte Entwurfswerkzeuge
3.1.MM2	02/07	Forschungsergebnisse zu neuen leitbahnzentrierten Entwurfswerkzeugen
3.2.MM1	02/06	Konzepte für leitbahnzentrierte Designflows
3.2.MM2	02/07	Funktion von leitbahnzentrierten Designflows

Beitrags-Meilensteine

Meilenstein	Datum	Titel	Partner
1.1.1.M1	02/06	Einfluss der Minoritätsladungsträger im Substrat auf empfindliche Leitungen	Bosch
1.1.1.M2	02/07	Methode zur Definition von Bereichen im Layout, die gegenüber unerwünschten Störungen durch Minoritäten geschützt sind	Bosch

Meilenstein	Datum	Titel	Partner
1.1.2.M1	02/06	Entwicklung der grundlegenden Algorithmen & Modelle und Demonstration dieser anhand eines kleinen Designs. Pflichtenheft für die Simulationseinheit, die Präperationseinheit und die interne & externe Schnittstellen der Referenzsimulation und erster Demonstrator.	Infineon
1.1.2.M2	02/07	Implementierung und Erweiterung der Algorithmen zu funktionsfähigen Prototypprogrammen die mittelgroße Designs bewältigen können.	Infineon
1.1.3.M1	02/06	Strategie zur Modellierung mit Hilfe von Empfindlichkeitsanalysen	Infineon
1.1.3.M2	02/07	Prototyp/Demonstrator zur reduzierten oder vereinfachten Modellierung	Infineon
1.2.1.M1	02/06	Entwicklung und Implementierung eines Verfahrens zur Extraktion stochastischer Leitbahnvariationen großer Layoutstrukturen	Infineon
1.2.1.M2	08/06	Extraktion von Leitbahnvariationen aus Layouts für Schaltungen realistischer Größe: Erprobung und Validierung	Infineon
1.2.1.M3	02/07	Schaltungssimulation unter Einbeziehung von Leitbahnfluktuationen	Infineon
1.2.2.M1	02/06	Konzept zur Untersuchung von Prozessvariationen	IMS
1.2.2.M2	02/07	Werkzeug zur automatischen Be-urteilung von Prozessvariationen	IMS
2.1.1.M1	02/06	Adaptierung des Prototyps „Constraint-Management“ für den Bosch-Designflow. Entwicklung einer Methodik zur Sicherstellung der Datenkonsistenz in der Constraint-Datenbasis	Bosch
2.1.1.M2	02/07	Implementierung der Methodik zur Sicherstellung der Datenkonsistenz in der Constraint-Datenbasis	Bosch
2.1.2.M1	02/06	Entwicklung der Methodik zur beschleunigten dynamischen Simulation zusätzlicher Kapazitäten	Infineon
2.1.2.M2	08/06	Spezifikation der zu untersuchenden Platzierungmethoden	Infineon
2.1.2.M3	02/07	Untersuchung und Bewertung der verschiedenen Platzierungsmethoden	Infineon
2.1.3.M1	02/06	Anforderungen und Konzepte zur Integration der wichtigsten Komponenten des Entwurfssystems	Infineon
2.1.3.M2	08/06	Detaillierte Konzepte, Schnittstellendefinitionen	Infineon
2.1.3.M3	02/07	Prototyp, Beispiele	Infineon
2.2.1.M1	02/06	Konzept für Induktivitäts-Berücksichtigung beim Verdrahten	Atmel
2.2.1.M2	08/06	Schnittstelle für Modulgeneratoren erweitert	Atmel
2.2.1.M3	02/07	Constraint-Prüfung für Leitungssymmetrien implementiert	Atmel
2.2.2.M1a	02/06	Entwicklung einer Methodik zur integrierten, constraint-geführten Platzierung und Verdrahtung von Bauelementen, die auf der in Phase 1 entwickelten Verdrahtungsplanung basiert	Bosch
2.2.2.M1b	02/06	Entwicklung einer Methodik (CRC) zur Überprüfung des Layouts auf Einhaltung der Constraints	Bosch
2.2.2.M2a	08/06	Umsetzung der integrierten, constraint-geführten Platzierung und Verdrahtung; Erweiterung auf eine allgemein anwendbare constraint-geführte Verdrahtungsstrategie	Bosch
2.2.2.M2b	08/06	Umsetzung der Methodik (CRC), Test an ersten Beispielen	Bosch
2.2.2.M3a	02/07	Darstellung der constraint-geführten Verdrahtungsstrategie	Bosch
2.2.2.M3b	02/07	Beispielhafte Implementierung der CRC in Bosch Entwurfsfluss, Vorführung	Bosch
2.2.3.M1	02/06	Busrouter mit optimierten Anschlüssen von Terminalbündeln	IMS
2.2.3.M2	02/07	Leitungsinduktivitäten berücksichtigender Busrouter	IMS
3.1.1.M1	02/06	Konzept zur Timing-Driven 3D-Platzierung	IMS
3.1.1.M2	02/07	Timing-Driven 3D-Platzierer	IMS
3.1.2.M1	02/06	Konzept zur simultanen Platzierung und Detailverdrahtung	IMS
3.1.2.M2	02/07	Simultane Platzierung und Detailverdrahtung	IMS
3.1.3.M1	02/06	Konzept und Algorithmen für Timing-Aware-TPI	NXP

Meilenstein	Datum	Titel	Partner
3.1.3.M2	02/07	Implementierung des unter M1 erstellten Konzepts. EDA Tool erstellt als prototypische Anwendung. Validierung an Multi-Million-Design	NXP
3.2.1.M1	02/06	Konzept zur Konstruktion und Optimierung von Verbindungsstrukturen; Optimierungsmöglichkeiten erarbeitet	Atmel
3.2.1.M2	02/07	Implementierung und Tests; Toolschnittstellen definiert und Konzepte umgesetzt; Anwendbarkeit der Optimierung an einem Beispiel getestet	Atmel
3.2.2.M1	02/06	Flow Konzept und Spezifikation erstellt. Funktionali-täten externer Werkzeuge zur Einbindung in den Flow bewertet.Schnittstellen für Skew-Aware-Reodering	NXP
3.2.2.M2	02/07	Schnittstellen in Designflow integriert. Flow Konzept in Software implementiert.Verifikation an aktuellem Design	NXP
3.2.3.M1	02/06	Erweiterung der RLC-Extraktion mit Substrateffekten und Bereitstellung von Qualifizierungsmöglichkeiten	Cadence
3.2.3.M2	02/07	Verbesserte Verfahren zur Beherrschung der steigenden Anzahl parasitärer Elemente und der frühzeitigen Berücksichtigung von Leitungsparasiten im Entwurfsflow	Cadence